京微齐力
HERCULES MICROELECTRONICS

HME MIPI DPHY v1.0 IP 用户手册

2026 年 10 月

京微齐力（北京）科技股份有限公司

注意

© 2026 京微齐力（北京）科技股份有限公司版权所有

未经京微齐力（北京）科技股份有限公司书面许可，不得以任何形式或方式，如电子、机械形式，包括影印、录音或其他数据储存和检索系统形式复制或转移此文档的任何部分，或将其翻译为其它任何语言或计算机语言。

所有商标均为京微齐力（北京）科技股份有限公司所有。

手册版本号

V1.0

联系我们

如果您在使用我们的产品过程中有任何疑问或问题，请与京微齐力（北京）科技股份有限公司或者您当地的代理商联系，或发送邮件至：sales@hercules-micro.com

环境保护

本产品中包含的某些物质可能会对环境或人体健康有害，为避免将有害物质释放到环境中或危害人体健康，建议采用适当的方法回收本产品，以确保大部分材料可正确地重复使用或回收。有关处理或回收的信息，请与当地权威机构联系。

声明

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微齐力（北京）科技股份有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议用户及时更新手册版本。

本手册介绍的产品并没有被授权用作为生命保障设备或系统中的关键部件。在此使用到的术语有如下定义：

1）生命保障设备或系统是满足以下条件的设备或系统，(a)被通过手术植入人体内或（b)用来保障或维持生命，当按照标签上的使用说明正确使用时，有理由认为其工作的中断将会给使用者带来巨大的伤害；

2）所谓关键部件是指生命保障设备或系统中满足以下条件的部件，即有理由认为该部件中断工作将会导致整个生命保障设备或系统中断工作，或者是影响到后者的安全性和有效性。

版本信息

下表列出了本产品手册的历史版本信息。

修订日期	版本号	修订内容
2026-10-12	V1.0	初版发布。

目录

注意 **1**

版本信息 **2**

目录 **3**

图片目录 4
表格目录 5

开始前准备 **6**

关于本手册 6
缩写 6

1 简介 **7**

1.1 特性 7
1.2 D-PHY IP 应用框图 7
1.3 支持器件列表 7
1.4 D-PHY 结构框图 8

2 MIPI D-PHY 端口寄存器介绍 **10**

2.1 MIPI D-PHY TX 端口说明 10
2.2 MIPI D-PHY RX 端口说明 15
2.3 MIPI D-PHY 参数描述 20

3 IP 核用法 **21**

3.1 D-PHY 操作模式 21
3.1.1 控制模式 21
3.1.2 HS 模式 21
3.1.3 escape 模式 22
3.1.4 Turnaround 模式 23
3.2 PPI 时序说明 24
3.2.1 PPI HS 收发时序 24
3.2.2 PPI LPDT 收发时序 24
3.2.3 PPI BTA 时序 25
3.3 时钟设计 25
3.4 DPHY IP 的生成 26
3.5 资源性能报告 26
3.5.1 资源报告 26
3.5.2 时序约束 27
3.5.3 性能报告 27

4 仿真 **28**

图片目录

图 1-1 D-PHY MIPI 收发框图 7
图 1-2 D-PHY MASTER 框图 8
图 1-3 D-PHY SLAVE 框图 9
图 3-1 D-PHY Escape 模式下 Trigger-reset 命令 22
图 3-2 D-PHY LP 模式数据传输示例 23
图 3-3 PPI HS TX 时序图 24
图 3-4 PPI HS RX 时序图 24
图 3-5 PPI LPDT TX 时序图 24
图 3-6 PPI LPDT RX 时序图 25
图 3-7 PPI BTA 时序图 25
图 3-8 DPHY TX 用户时钟 25
图 3-9 DPHY RX 用户时钟 26
图 4-1 仿真波形 28
图 4-2 TX 的 HS PPI 接口 28
图 4-3 RX 的 HS PPI 接口 29
图 4-4 TX 的 LPDT PPI 接口 29
图 4-5 RX 的 LPDT PPI 接口 29

表格目录

表 2-1 MIPI D-PHY TX 端口说明 10
表 2-2 MIPI D-PHY RX 端口说明 15
表 2-3 hme_ip_mipi_dphy_v1 参数描述 20
表 3-1 D-PHY 通道状态描述 21
表 3-2 D-PHY Escape entry codes 22
表 3-3 D-PHY Turnaround 命令序列 23
表 3-4 MIPI D-PHY TX 资源利用 26
表 3-5 MIPI D-PHY RX 资源利用 26
表 3-6 MIPI D-PHY TX 性能报告 27
表 3-7 MIPI D-PHY RX 性能报告 27

开始前准备

关于本手册

本手册是所有系列 MIPI 的 IP 用户手册，作为 IP 系列的文档之一，它提供 MIPI 技术参考，旨在帮助用户了解器件 MIPI DPHY v1.0 功能的参数、特性，及如何使用器件设计应用。

如需了解各系列产品的详细信息，请访问 http://www.hercules-micro.com。

如果您在使用过程中有任何疑问或者建议，请发送邮件至 support@hercules-micro.com。

缩写

缩写	全称	中文术语
FPGA	**F**ield **P**rogrammable **G**ate **A**rray	现场可编程门阵列
PLL	**P**hase-**L**ocked **L**oop	锁相环
PHY	**Phy**sical Layer	物理层
PPI	**P**ort **P**hysical **I**nterface	端口物理接口
IP	**I**ntellectual **P**roperty	知识产权
LUT	**L**ook-**U**p-**T**able	查找表
REG	**Reg**ister	寄存器
UI	**U**ser **I**nterface	用户界面

1 简介

HME MIPI D-PHY软核控制器专为相机和显示接口的视频或像素数据的传输和接收而设计。其核心用作高级协议（如移动行业处理器接口（MIPI）、相机串行接口（CSI-2）和显示串行接口）的物理层。

本产品指南提供了关于如何使用、定制和仿真MIPI PHY IP的信息。它描述了核心架构，并提供了定制核心模块接口的详细信息。

1.1 特性

- 支持 1、2、3 或者 4 个数据通道
- 支持单向高速(HS)模式
- 支持双向低功耗(LP)模式
- 支持超低功耗状态(ULPS)模式
- 完整的底层协议错误和竞争检测及报告
- 支持连续和非连续时钟通道操作
- 支持每次传输多个数据包
- 支持总线转向信令（Bus Turnaround）
- 支持兼容 MIPI D-PHY V1.2 的 PHY 协议接口（PPI）
- 单通道 MIPI 收发的速率能到 1200Mb/s

1.2 D-PHY IP 应用框图

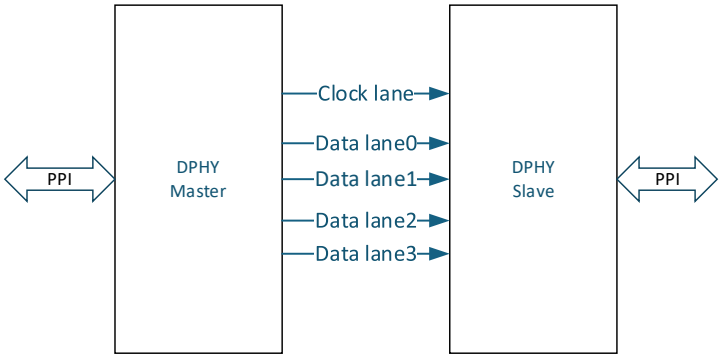


图 1-1 D-PHY MIPI 收发框图

1.3 支持器件列表

FPGA 型号	描述
P2 系列	P2P50N0S256 不支持，其它都支持
H7 系列	H7P20N0L176、H7N0L176、H7P20N0F256、H7P20N0Q68 不支持，其它都支持

FPGA 型号	描述
P3 系列	全系列支持
PV 系列	全系列支持

1.4 D-PHY 结构框图

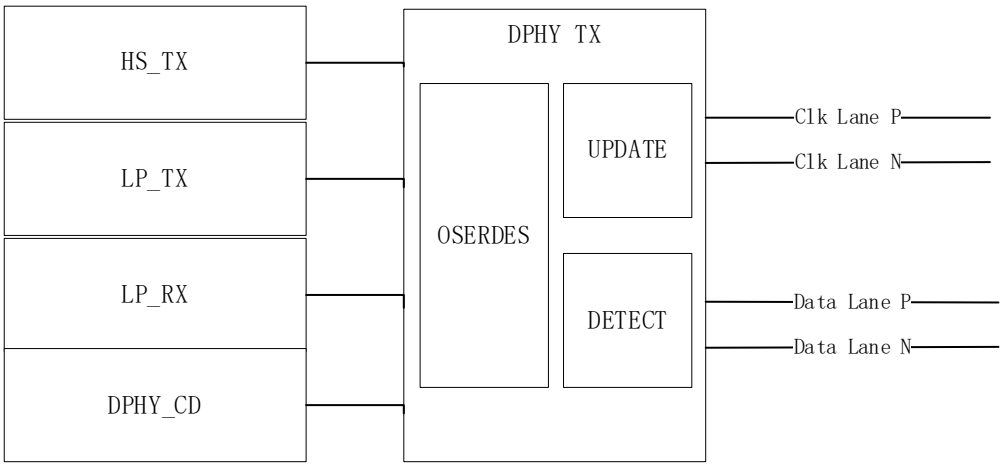


图 1-2 D-PHY MASTER 框图

在 D-PHY TX 模块中，HS 数据通过 OSERDES 进行串并转换。当8 位字节数据串并转换为串行数据，输出 数据为中心对齐方式，HS 数据通道和时钟通道分别采用由 PLL 产生的相位为 0 度和 90 度的输出时钟信号。

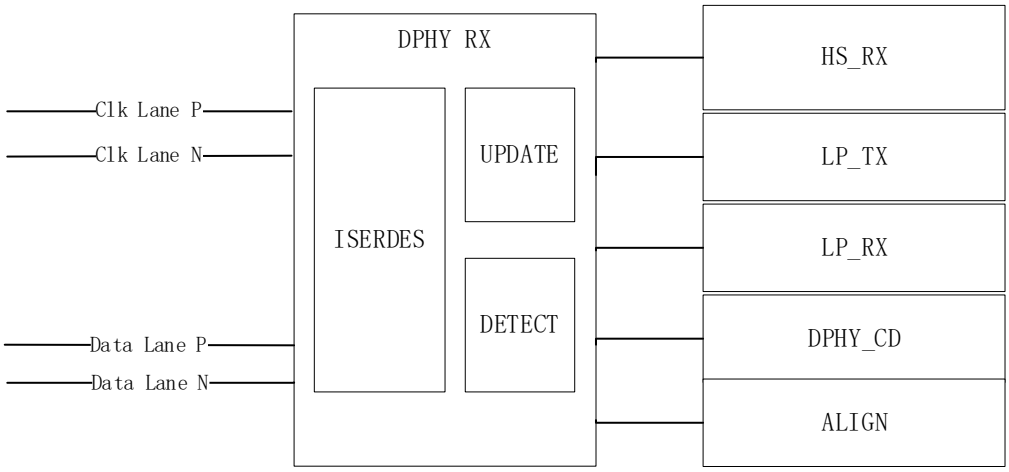


图 1-3 D-PHY SLAVE 框图

在 D-PHY RX 模块中，HS 数据通过 ISERDES 进行串并转换。FPGA 使用驱动一个 4 分频的时钟和 8 位字节宽度的数据,当数据串并转换为 8 位字节数据，通过ALIGN解串得到B8后可在每个字节时钟周期顺利获 得 MIPI 字节数据。

2 MIPI D-PHY 端口寄存器介绍

2.1 MIPI D-PHY TX 端口说明

表 2-1 MIPI D-PHY TX 端口说明

端口名称	类型	位宽	描述
时钟相关端口			
TxBitClk	input	1	MIPI bit clk 串行时钟,时钟路径经过了 GBUF
TxBitClk _90	input	1	MIPI bit clk 串行时钟偏置 90°,时钟路径经过了 GBUF
TxByteClk	input	1	MIPI byte clk 并行时钟
TxEscClk	input	1	MIPI Tx LP 模式 Esc clk 时钟
RxEscClk	input	1	MIPI Rx LP 模式 Esc clk 时钟
clk	output	1	MIPI Tx HS 模式 TX Byte CLK（Bypass TxByteClk）
外部管脚端口			
CKP	inout	1	MIPI 时钟通道 Clk LaneP
CKN	inout	1	MIPI 时钟通道 Clk LaneN
DP0	inout	1	MIPI 数据通道 Data Lane0P
DN0	inout	1	MIPI 数据通道 Data Lane0N
DP1	inout	1	MIPI 数据通道 Data Lane1P
DN1	inout	1	MIPI 数据通道 Data Lane1N
DP2	inout	1	MIPI 数据通道 Data Lane2P
DN2	inout	1	MIPI 数据通道 Data Lane2N
DP3	inout	1	MIPI 数据通道 Data Lane3P
DN3	inout	1	MIPI 数据通道 Data Lane3N
DPHY 的参数端口			
D_PRG_HS_PREPARE	input	2	MIPI 数据通道 Data Lane 上的 TX 的 PREPARE 参数 00：1*TxEscClk 的周期

端口名称	类型	位宽	描述
			01：1.5*TxEscClk 的周期 10：2*TxEscClk 的周期 11：2.5*TxEscClk 的周期
C_PRG_HS_PREPARE	input	1	MIPI 时钟通道 Clk Lane 上的 TX 的 PREPARE 参数 0：1*TxEscClk 的周期 1：1.5*TxEscClk 的周期
D_PRG_HS_ZERO	input	5	MIPI 数据通道 Data Lane 上的 TX 的 ZERO 参数 T_HS_ZERO = (D_PRG_HS_ZERO +6) * TxByteClkHS 的周期
C_PRG_HS_ZERO	input	6	MIPI 时钟通道 Clk Lane 上的 TX 的 ZERO 参数 T_CLK_ZERO = (C_PRG_HS_ZERO +3) * TxByteClkHS 的周期
D_PRG_HS_TRAIL	input	4	MIPI 数据通道 Data Lane 上的 TX 的 TRAIL 参数 T_HS_TRAIL = D_PRG_HS_TRAIL * TxByteClkHS 的周期
C_PRG_HS_TRAIL	input	4	MIPI 时钟通道 Clk Lane 上的 TX 的 TRAIL 参数 T_CLK_ZERO = C_PRG_HS_TRAIL * TxByteClkHS 的周期
Clk Lane 上的 PPI 端口			
TxRequestHS_Inclk	input	1	MIPI 时钟通道的 HS 模式的使能，使时钟进入到 HS 模式
Stopstate_Inclk	output	1	MIPI 时钟通道的停止状态
TxUlpsClk_Inclk	input	1	MIPI 时钟通道的使时钟进入 Ulps 模式
TxUlpsExit_Inclk	input	1	MIPI 时钟通道的使时钟退出 Ulps 模式
UlpsActiveNot_Inclk	output	1	MIPI 时钟通道是否在 Ulps 模式 0：MIPI 时钟通道在 Ulps 模式 0：MIPI 时钟通道不在 Ulps 模式
RxUlpsClkNot	output	1	
RxClkActiveHS	output	1	
Enable_Inclk	input	1	MIPI 时钟通道的使能
Data Lane0 的 PPI 端口			
TxDataHS_In0	input	8	MIPI 数据通道 Data Lane0 的 HS 模式发送的数据
TxRequestHS_In0	input	1	MIPI 数据通道 Data Lane0 的 HS 模式发送的请求
TxReadyHS_In0	output	1	MIPI 数据通道 Data Lane0 的 HS 模式发送的请求应答

端口名称	类型	位宽	描述
Enable_ln0	input	1	MIPI 数据通道 Data Lane0 的使能
TxRequestEsc_ln0	input	1	MIPI 数据通道 Data Lane0 的 ESC 模式发送的请求
TxUlpsEsc_ln0	input	1	MIPI 数据通道 Data Lane0 的 ESC 模式下进入 Ulps 模式
TxLpdtEsc_ln0	input	1	MIPI 数据通道 Data Lane0 的 ESC 模式下进入 Lpdt 模式
TxUlpsExit_ln0	input	1	MIPI 数据通道 Data Lane0 的 ESC 模式下退出 Ulps 模式
TxReadyEsc_ln0	output	1	MIPI 数据通道 Data Lane0 的 ESC 模式发送的请求应答
TxTriggerEsc_ln0	input	4	MIPI 数据通道 Data Lane0 的 ESC 模式下进入 Trigger 模式
TxDataEsc_ln0	input	8	MIPI 数据通道 Data Lane0 的 ESC 模式发送的数据
TxValidEsc_ln0	input	1	MIPI 数据通道 Data Lane0 的 ESC 模式发送的数据有效信号
ForceTxStopmode_ln0	input	1	强制 MIPI 数据通道 Data Lane0 的 ESC 模式发送进入停止状态
TurnRequest_ln0	input	1	MIPI 数据通道 Data Lane0 的 BTA 的请求
TurnDisable_ln0	input	1	MIPI 数据通道 Data Lane0 停止转向，只有 Lane0 有效
ForceRxmode_ln0	input	1	MIPI 数据通道 Data Lane0 进入到接收模式，只有 Lane0 有效
RxClkEsc_ln0	output	1	MIPI 数据通道 Data Lane0 的 ESC 模式下的接收时钟
RxLpdtEsc_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 ESC 模式下的是否在 Lpdt 模式的状态
RxUlpsEsc_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 ESC 模式下的是否在 Ulps 模式的状态
RxTriggerEsc_ln0	output	4	MIPI 数据通道 Data Lane0 的接收 ESC 模式下的是否在 Trigger 模式的状态
RxDataEsc_ln0	output	8	MIPI 数据通道 Data Lane0 的接收 ESC 模式下的数据
RxValidEsc_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 ESC 模式下的数据有效信号
Direction_ln0	output	1	接收/发送的方向 0：发送 1：接收
Stopstate_ln0	output	1	MIPI 数据通道 Data Lane0 的停止状态
UlpsActiveNot_ln0	output	1	MIPI 据通道 Data Lane0 是否在 Ulps 模式 0：MIPI 据通道 Data Lane0 在 Ulps 模式

端口名称	类型	位宽	描述
			0：MIPI 据通道 Data Lane0 不在 Ulps 模式
ErrSotHS_ln0	output	1	MIPI 数据通道 Data Lane0 HS 模式的 SoT 错误信号
ErrSotSyncHS_ln0	output	1	MIPI 数据通道 Data Lane0 HS 模式的 SoT 同步错误信号
ErrEsc_ln0	output	1	MIPI 数据通道 Data Lane0 ESC 模式进入错误信号
ErrSyncEsc_ln0	output	1	MIPI 数据通道 Data Lane0 LP 模式同步错误信号
ErrControl_ln0	output	1	MIPI 数据通道 Data Lane0 控制错误信号
ErrContentionLp0_ln0	output	1	
ErrContentionLp1_ln0	output	1	
RxDataHS_ln0	output	8	MIPI 数据通道 Data Lane0 的接收 HS 模式下的数据
RxValidHS_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 HS 模式下的数据有效信号
RxActiveHS_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 HS 模式状态下有效信号
RxSyncHS_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 HS 模式的同步信号
Data Lane1 的 PPI 端口			
TxDataHS_ln1	input	8	MIPI 数据通道 Data Lane1 的 HS 模式发送的数据
TxRequestHS_ln1	input	1	MIPI 数据通道 Data Lane1 的 HS 模式发送的请求
TxReadyHS_ln1	output	1	MIPI 数据通道 Data Lane1 的 HS 模式发送的请求应答
Enable_ln1	input	1	MIPI 数据通道 Data Lane1 的使能
TxUlpsEsc_ln1	input	1	MIPI 数据通道 Data Lane1 的 ESC 模式下进入 Ulps 模式
TxUlpsExit_ln1	input	1	MIPI 数据通道 Data Lane1 的 ESC 模式下退出 Ulps 模式
ForceTxStopmode_ln1	input	1	强制 MIPI 数据通道 Data Lane1 的 ESC 模式发送进入停止状态
Stopstate_ln1	output	1	MIPI 数据通道 Data Lane1 的停止状态
UlpsActiveNot_ln1	output	1	MIPI 据通道 Data Lane1 是否在 Ulps 模式 0：MIPI 据通道 Data Lane1 在 Ulps 模式 0：MIPI 据通道 Data Lane1 不在 Ulps 模式

端口名称	类型	位宽	描述
ErrSotHS_ln1	output	1	MIPI 数据通道 Data Lane1 HS 模式的 SoT 错误信号
ErrSotSyncHS_ln1	output	1	MIPI 数据通道 Data Lane1 HS 模式的 SoT 同步错误信号
ErrControl_ln1	output	1	MIPI 数据通道 Data Lane1 控制错误信号
ErrContentionLp0_ln1	output	1	
ErrContentionLp1_ln1	output	1	
Data Lane2 的 PPI 端口			
TxDataHS_ln2	input	8	MIPI 数据通道 Data Lane1 的 HS 模式发送的数据
TxRequestHS_ln2	input	1	MIPI 数据通道 Data Lane1 的 HS 模式发送的请求
TxReadyHS_ln2	output	1	MIPI 数据通道 Data Lane1 的 HS 模式发送的请求应答
Enable_ln2	input	1	MIPI 数据通道 Data Lane1 的使能
TxUlpsEsc_ln2	input	1	MIPI 数据通道 Data Lane1 的 ESC 模式下进入 Ulps 模式
TxUlpsExit_ln2	input	1	MIPI 数据通道 Data Lane1 的 ESC 模式下退出 Ulps 模式
ForceTxStopmode_ln2	input	1	强制 MIPI 数据通道 Data Lane1 的 ESC 模式发送进入停止状态
Stopstate_ln2	output	1	MIPI 数据通道 Data Lane1 的停止状态
UlpsActiveNot_ln2	output	1	MIPI 据通道 Data Lane1 是否在 Ulps 模式 0：MIPI 据通道 Data Lane1 在 Ulps 模式 0：MIPI 据通道 Data Lane1 不在 Ulps 模式
ErrSotHS_ln2	output	1	MIPI 数据通道 Data Lane1 HS 模式的 SoT 错误信号
ErrSotSyncHS_ln2	output	1	MIPI 数据通道 Data Lane1 HS 模式的 SoT 同步错误信号
ErrControl_ln2	output	1	MIPI 数据通道 Data Lane1 控制错误信号
ErrContentionLp0_ln2	output	1	
ErrContentionLp1_ln2	output	1	
Data Lane3 的 PPI 端口			
TxDataHS_ln3	input	8	MIPI 数据通道 Data Lane1 的 HS 模式发送的数据
TxRequestHS_ln3	input	1	MIPI 数据通道 Data Lane1 的 HS 模式发送的请求

端口名称	类型	位宽	描述
TxReadyHS_ln3	output	1	MIPI 数据通道 Data Lane1 的 HS 模式发送的请求应答
Enable_ln3	input	1	MIPI 数据通道 Data Lane1 的使能
TxUlpsEsc_ln3	input	1	MIPI 数据通道 Data Lane1 的 ESC 模式下进入 Ulps 模式
TxUlpsExit_ln3	input	1	MIPI 数据通道 Data Lane1 的 ESC 模式下退出 Ulps 模式
ForceTxStopmode_ln3	input	1	强制 MIPI 数据通道 Data Lane1 的 ESC 模式发送进入停止状态
Stopstate_ln3	output	1	MIPI 数据通道 Data Lane1 的停止状态
UlpsActiveNot_ln3	output	1	MIPI 据通道 Data Lane1 是否在 Ulps 模式 0：MIPI 据通道 Data Lane1 在 Ulps 模式 0：MIPI 据通道 Data Lane1 不在 Ulps 模式
ErrSotHS_ln3	output	1	MIPI 数据通道 Data Lane1 HS 模式的 SoT 错误信号
ErrSotSyncHS_ln3	output	1	MIPI 数据通道 Data Lane1 HS 模式的 SoT 同步错误信号
ErrControl_ln3	output	1	MIPI 数据通道 Data Lane1 控制错误信号
ErrContentionLp0_ln3	output	1	
ErrContentionLp1_ln3	output	1	

2.2 MIPI D-PHY RX 端口说明

表 2-2 MIPI D-PHY RX 端口说明

端口名称	类型	位宽	描述
时钟相关端口			
TxEscClk	input	1	MIPI Tx LP 模式 Esc clk 时钟
RxEscClk	input	1	MIPI Rx LP 模式 Esc clk 时钟
clk	output	1	MIPI Tx HS 模式 TX Byte CLK
RxByteClkHS	output	1	MIPI Rx HS 模式 RX Byte CLK
外部管脚端口			
CKP	inout	1	MIPI 时钟通道 Clk LaneP

端口名称	类型	位宽	描述
CKN	inout	1	MIPI 时钟通道 Clk LaneN
DP0	inout	1	MIPI 数据通道 Data Lane0P
DN0	inout	1	MIPI 数据通道 Data Lane0N
DP1	inout	1	MIPI 数据通道 Data Lane1P
DN1	inout	1	MIPI 数据通道 Data Lane1N
DP2	inout	1	MIPI 数据通道 Data Lane2P
DN2	inout	1	MIPI 数据通道 Data Lane2N
DP3	inout	1	MIPI 数据通道 Data Lane3P
DN3	inout	1	MIPI 数据通道 Data Lane3N
DPHY 的参数端口			
D_PRG_RXHS_SETTLE	input	6	MIPI 数据通道 Data Lane 上的 RX 的 SETTLE 参数 T_HS_SETTLE = (D_PRG_RXHS_SETTLE +1) * RxEscClk 的周期
C_PRG_RXHS_SETTLE	input	6	MIPI 时钟通道 Clk Lane 上的 RX 的 SETTLE 参数 T_CLK_SETTLE = (C_PRG_RXHS_SETTLE +1) * RxEscClk 的周期
Data Lane0 的 PPI 端口			
Enable_ln0	input	1	MIPI 数据通道 Data Lane0 的使能
TxRequestEsc_ln0	input	1	MIPI 数据通道 Data Lane0 的 ESC 模式发送的请求
TxUlpsEsc_ln0	input	1	MIPI 数据通道 Data Lane0 的 ESC 模式下进入 Ulps 模式
TxLpdtEsc_ln0	input	1	MIPI 数据通道 Data Lane0 的 ESC 模式下进入 Lpdt 模式
TxUlpsExit_ln0	input	1	MIPI 数据通道 Data Lane0 的 ESC 模式下退出 Ulps 模式
TxReadyEsc_ln0	output	1	MIPI 数据通道 Data Lane0 的 ESC 模式发送的请求应答
TxTriggerEsc_ln0	input	4	MIPI 数据通道 Data Lane0 的 ESC 模式下进入 Trigger 模式
TxDataEsc_ln0	input	8	MIPI 数据通道 Data Lane0 的 ESC 模式发送的数据
TxValidEsc_ln0	input	1	MIPI 数据通道 Data Lane0 的 ESC 模式发送的数据有效信号

端口名称	类型	位宽	描述
ForceTxStopmode_ln0	input	1	强制 MIPI 数据通道 Data Lane0 的 ESC 模式发送进入停止状态
TurnRequest_ln0	input	1	MIPI 数据通道 Data Lane0 的 BTA 的请求
TurnDisable_ln0	input	1	MIPI 数据通道 Data Lane0 停止转向，只有 Lane0 有效
ForceRxmode_ln0	input	1	MIPI 数据通道 Data Lane0 进入到接收模式，只有 Lane0 有效
RxClkEsc_ln0	output	1	MIPI 数据通道 Data Lane0 的 ESC 模式下的接收时钟
RxLpdtEsc_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 ESC 模式下的是否在 Lpdt 模式的状态
RxUlpsEsc_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 ESC 模式下的是否在 Ulps 模式的状态
RxTriggerEsc_ln0	output	4	MIPI 数据通道 Data Lane0 的接收 ESC 模式下的是否在 Trigger 模式的状态
RxDataEsc_ln0	output	8	MIPI 数据通道 Data Lane0 的接收 ESC 模式下的数据
RxValidEsc_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 ESC 模式下的数据有效信号
Direction_ln0	output	1	接收/发送的方向 0：发送 1：接收
Stopstate_ln0	output	1	MIPI 数据通道 Data Lane0 的停止状态
UlpsActiveNot_ln0	output	1	MIPI 据通道 Data Lane0 是否在 Ulps 模式 0：MIPI 据通道 Data Lane0 在 Ulps 模式 0：MIPI 据通道 Data Lane0 不在 Ulps 模式
ErrSotHS_ln0	output	1	MIPI 数据通道 Data Lane0 HS 模式的 SoT 错误信号
ErrSotSyncHS_ln0	output	1	MIPI 数据通道 Data Lane0 HS 模式的 SoT 同步错误信号
ErrEsc_ln0	output	1	MIPI 数据通道 Data Lane0 ESC 模式进入错误信号
ErrSyncEsc_ln0	output	1	MIPI 数据通道 Data Lane0 LP 模式同步错误信号
ErrControl_ln0	output	1	MIPI 数据通道 Data Lane0 控制错误信号
ErrContentionLp0_ln0	output	1	
ErrContentionLp1_ln0	output	1	
RxDataHS_ln0	output	8	MIPI 数据通道 Data Lane0 的接收 HS 模式下的数据
RxValidHS_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 HS 模式下的数据有效信号

端口名称	类型	位宽	描述
RxActiveHS_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 HS 模式状态下有效信号
RxSyncHS_ln0	output	1	MIPI 数据通道 Data Lane0 的接收 HS 模式的同步信号
Data Lane1 的 PPI 端口			
Enable_ln1	input	1	MIPI 数据通道 Data Lane1 的使能
ForceRxmode_ln1	input	1	MIPI 数据通道 Data Lane1 进入到接收模式，只有 Lane0 有效
RxClkEsc_ln1	output	1	MIPI 数据通道 Data Lane1 的 ESC 模式下的接收时钟
RxUlpsEsc_ln1	output	1	MIPI 数据通道 Data Lane1 的接收 ESC 模式下的是否在 Ulps 模式的状态
Stopstate_ln1	output	1	MIPI 数据通道 Data Lane1 的停止状态
UlpsActiveNot_ln1	output	1	MIPI 据通道 Data Lane1 是否在 Ulps 模式 0：MIPI 据通道 Data Lane1 在 Ulps 模式 0：MIPI 据通道 Data Lane1 不在 Ulps 模式
ErrSotHS_ln1	output	1	MIPI 数据通道 Data Lane1 HS 模式的 SoT 错误信号
ErrSotSyncHS_ln1	output	1	MIPI 数据通道 Data Lane1 HS 模式的 SoT 同步错误信号
ErrEsc_ln1	output	1	MIPI 数据通道 Data Lane1 ESC 模式进入错误信号
ErrSyncEsc_ln1	output	1	MIPI 数据通道 Data Lane1 LP 模式同步错误信号
ErrControl_ln1	output	1	MIPI 数据通道 Data Lane1 控制错误信号
RxDataHS_ln1	output	8	MIPI 数据通道 Data Lane1 的接收 HS 模式下的数据
RxValidHS_ln1	output	1	MIPI 数据通道 Data Lane1 的接收 HS 模式下的数据有效信号
RxActiveHS_ln1	output	1	MIPI 数据通道 Data Lane1 的接收 HS 模式状态下有效信号
RxSyncHS_ln1	output	1	MIPI 数据通道 Data Lane1 的接收 HS 模式的同步信号
Data Lane2 的 PPI 端口			
Enable_ln2	input	1	MIPI 数据通道 Data Lane2 的使能
ForceRxmode_ln2	input	1	MIPI 数据通道 Data Lane2 进入到接收模式，只有 Lane0 有效
RxClkEsc_ln2	output	1	MIPI 数据通道 Data Lane2 的 ESC 模式下的接收时钟
RxUlpsEsc_ln2	output	1	MIPI 数据通道 Data Lane2 的接收 ESC 模式下的是否在 Ulps 模式的状态

端口名称	类型	位宽	描述
Stopstate_ln2	output	1	MIPI 数据通道 Data Lane2 的停止状态
UlpsActiveNot_ln2	output	1	MIPI 据通道 Data Lane2 是否在 Ulps 模式 0：MIPI 据通道 Data Lane2 在 Ulps 模式 0：MIPI 据通道 Data Lane2 不在 Ulps 模式
ErrSotHS_ln2	output	1	MIPI 数据通道 Data Lane2 HS 模式的 SoT 错误信号
ErrSotSyncHS_ln2	output	1	MIPI 数据通道 Data Lane2 HS 模式的 SoT 同步错误信号
ErrEsc_ln2	output	1	MIPI 数据通道 Data Lane2 ESC 模式进入错误信号
ErrSyncEsc_ln2	output	1	MIPI 数据通道 Data Lane2 LP 模式同步错误信号
ErrControl_ln2	output	1	MIPI 数据通道 Data Lane2 控制错误信号
RxDataHS_ln2	output	8	MIPI 数据通道 Data Lane2 的接收 HS 模式下的数据
RxValidHS_ln2	output	1	MIPI 数据通道 Data Lane2 的接收 HS 模式下的数据有效信号
RxActiveHS_ln2	output	1	MIPI 数据通道 Data Lane2 的接收 HS 模式状态下有效信号
RxSyncHS_ln2	output	1	MIPI 数据通道 Data Lane2 的接收 HS 模式的同步信号
Data Lane3 的 PPI 端口			
Enable_ln3	input	1	MIPI 数据通道 Data Lane3 的使能
ForceRxmode_ln3	input	1	MIPI 数据通道 Data Lane3 进入到接收模式，只有 Lane0 有效
RxClkEsc_ln3	output	1	MIPI 数据通道 Data Lane3 的 ESC 模式下的接收时钟
RxUlpsEsc_ln3	output	1	MIPI 数据通道 Data Lane3 的接收 ESC 模式下的是否在 Ulps 模式的状态
Stopstate_ln3	output	1	MIPI 数据通道 Data Lane3 的停止状态
UlpsActiveNot_ln3	output	1	MIPI 据通道 Data Lane3 是否在 Ulps 模式 0：MIPI 据通道 Data Lane3 在 Ulps 模式 0：MIPI 据通道 Data Lane3 不在 Ulps 模式
ErrSotHS_ln3	output	1	MIPI 数据通道 Data Lane3 HS 模式的 SoT 错误信号
ErrSotSyncHS_ln3	output	1	MIPI 数据通道 Data Lane3 HS 模式的 SoT 同步错误信号
ErrEsc_ln3	output	1	MIPI 数据通道 Data Lane3 ESC 模式进入错误信号
ErrSyncEsc_ln3	output	1	MIPI 数据通道 Data Lane3 LP 模式同步错误信号

端口名称	类型	位宽	描述
ErrControl_ln3	output	1	MIPI 数据通道 Data Lane3 控制错误信号
RxDataHS_ln3	output	8	MIPI 数据通道 Data Lane3 的接收 HS 模式下的数据
RxValidHS_ln3	output	1	MIPI 数据通道 Data Lane3 的接收 HS 模式下的数据有效信号
RxActiveHS_ln3	output	1	MIPI 数据通道 Data Lane3 的接收 HS 模式状态下有效信号
RxSyncHS_ln3	output	1	MIPI 数据通道 Data Lane3 的接收 HS 模式的同步信号

2.3 MIPI D-PHY 参数描述

表 2-3 hme_ip_mipi_dphy_v1 参数描述

参数	类型	范围	默认值	描述
DATA_LANES	integer	0,1,2,3	3	MIPI 数据通道的个数 0：1 个 1：2 个 2：3 个 3：4 个
MASTER_SLAVE	integer	0,1	1	Dphy 作为 Master TX 还是 Slave RX 1'b0：Slave RX 1'b1：Master TX

3 IP 核用法

3.1 D-PHY 操作模式

发射机功能通过驱动特定的线路级别来确定链路状态。在正常运行中，HS-TX或LP-TX之一驱动一条通道。HS-TX总是以差分方式驱动通道。两个LP-TX独立且单端驱动一条通道的两条线路。这导致了两种可能的高速链路状态和四种可能的低速链路状态。高速链路状态包括差动零和差动一。低功耗通道状态取决于何种操作模式。

表 3-1 D-PHY 通道状态描述

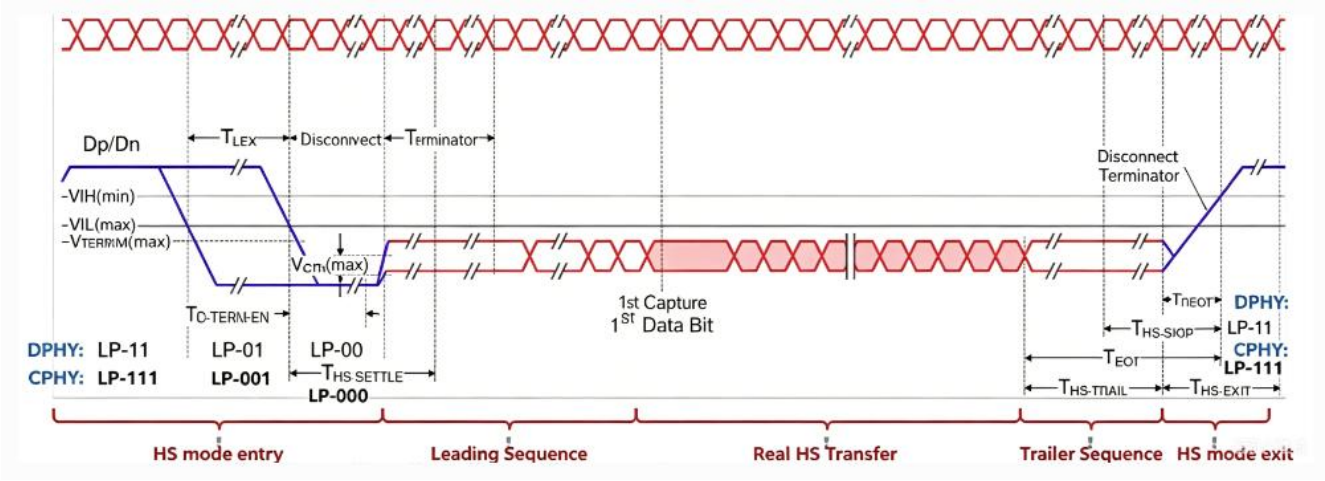
State code	线路电压		高速模式	低功耗模式	
	DP-line	DN-line		控制模式	escape 模式
HS-0	HS low	HS high	Differential-0	NA	NA
HS-1	HS high	HS low	Differential-1	NA	NA
LP-00	LP low	LP low	NA	Bridge	Space
LP-01	LP low	LP high	NA	HS-request	Mark-0
LP-10	LP high	LP low	NA	LP-request	Mark-1
LP-11	LP high	LP high	NA	Stop	NA

3.1.1 控制模式

对于数据通道和时钟通道，停止状态（LP-11）作为一般待机状态，在控制模式下进行定义。高速数据传输以突发形式发生，并从停止状态（LP-11）开始和结束，数据通道在接收到停止状态（LP-11）之前一直保持在高速模式。“escape”模式只能通过控制模式下的请求进入。在检测到“停止”状态后，“数据通道”应始终退出“escape”模式并返回控制模式。

3.1.2 HS 模式

DPHY模式下，数据通道输入“LP-11”, “LP-01”, “LP-00”，或者CPHY模式下数据通道输入“LP-111、LP-001、LP-000”，表示MIPI将进入高速模式。为了接收器同步，在实际数据传输前后需要“前导”和“尾随”序列。退出高速模式时，需要在DPHY模式下发送“LP-11”或在CPHY模式下发送“LP-111”。MIPI可以停止数据通道。高速模式下，高速时钟的上下沿与数据中心对齐，如下图所示。



3.1.3 escape 模式

“escape 模式”是 Data Lanes 使用低功耗状态时的特殊运行模式。在这种模式下，一些额外的功能变得可用。escape 模式操作应支持正向传输，并且反向操作是可选的。如果支持，escape 模式无需包含所有可用的功能特性。

数据通道应通过 escape 模式入口程序（LP-11、LP-10、LP00、LP-01、LP-00）进入 escape 模式。一旦在线路上观察到最终桥接状态（LP-00），该通道应进入 escape 模式的 LP-00 状态。如果在最终桥接状态（LP-00）之前任何时候检测到 LP-11，则应中止 escape 模式进入程序，接收端等待或返回停止状态。

对于数据通道，一旦进入 escape 模式，发射机应发送一个 8 位入口命令，以指示表 3-2 中描述的请求动作。

表 3-2 D-PHY Escape entry codes

escape 模式动作	入口命令序列	命令类型
Low Power Data Transmission	11100001	Mode
Ultra-low power state	00011110	Mode
Reset trigger	01100010	Trigger
Unknown-3	01011101	Trigger

停止状态用于退出 escape 模式，在 escape 模式操作期间由于独热编码，无法进入停止状态。如果输入命令不匹配支持的命令，则应忽略该特定模式动作，并且接收方等待直到发送方返回停止状态。

3.1.3.1 Remote Trigger 模式

Trigger signaling 是一种机制，用于在发送端协议的请求下，向接收端的协议发送一个标志。该机制可以工作在正向或反向，具体取决于操作方向和可用的 Escape 模式功能。Trigger signaling 需要 Escape 模式能力，并且接口两侧至少有一个匹配的 Trigger Escape Entry Command。

图 3-1 展示了一个 Escape 模式 Reset-Trigger 动作的示例。Lane 通过 Escape 模式 Entry procedure 进入 Escape 模式。如果 Entry Command Pattern 与 Reset-Trigger Command 匹配，则通过逻辑 PPI 向接收端的协议标记一个 Trigger。在 Trigger 命令之后，Lines 进入 Stop 状态之前接收到的任何位都应被忽略。此外，dummy 字节可以串联起来，以便向接收端提供时钟信息。

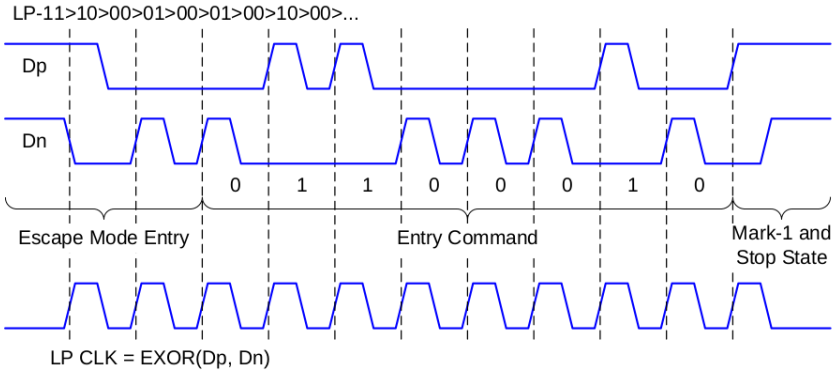


图 3-1 D-PHY Escape 模式下 Trigger-reset 命令

3.1.3.2 Low-Power 数据传输

如果退出模式进入流程之后紧接着是低功耗数据传输（LPDT）的进入命令，则协议可以在低速下传输数据，同时通道保持在低功耗模式。

数据应使用与进入命令相同的独热码编码。该数据通道自带时钟信息，不依赖时钟通道。通道在 LPDT 期间可以通过在线路上保持空间状态来暂停。线路上的停止状态会停止 LPDT，退出退出模式并将通道切换至控制模式。停止状态前的最后一个阶段应标记为-1 状态，该状态不表示数据位。图 3-2 显示了一个两字节传输，两个字节之间有一个暂停周期。

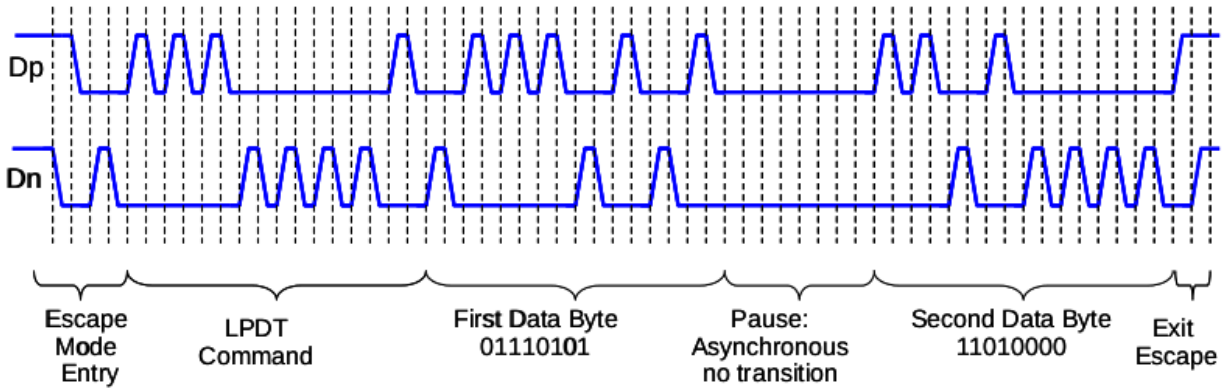


图 3-2 D-PHY LP 模式数据传输示例

3.1.3.3 ULPS 模式

如果在发完 escape 进入命令之后发送 ULPS 进入命令，通道应进入超低功耗状态。该命令应标记为接收端协议。在此状态期间，线路处于 space（L-00）状态。ULPS 状态通过一个长度为 T_{WAKEUP} 的 MARK-1 状态后跟一个停止状态来退出。

3.1.4 Turnaround 模式

双向数据通道的传输方向可以通过链路反转流程（LP-11, LP-10, LP-00, LP-10, LP-00）进行交换。无论是从正向到反向的改变，还是从反向到正向的改变，该流程都是相同的。表 3-3 列出了反转期间的事件序列。

表 3-3 D-PHY Turnaround 命令序列

初始发送方 = 最终接收方	初始接收方 = 最终发送方
驱动进入停止状态（LP-11）	
	观察停止状态
驱动 LP（LP-10）持续 LPX 的时间	
	观察到从 LP-11 状态向 LP-10 状态的转变
驱动 LP（LP-00）持续 LPX 的时间	
	观察到从 LP-10 状态向 LP-00 状态的转变
驱动 LP（LP-10）持续 LPX 的时间	
	观察到从 LP-00 状态向 LP-10 状态的转变
驱动 LP（LP-00）持续 LPX 的时间	
	观察从 LP-10 状态向 Bridge 状态的转换，并等待 TA -SURE 的时间。当超时正确结束时，该侧即确认已掌握控制权。
	驱动 LP（LP-00）持续 TA -GET 的时间
停止驱动总线，并使用 LP-RX 设备监测总线状态以确认响应	
	驱动 LP（LP-00）持续 TA -GET 的时间
观察总线上的 LP-10，将其解读为确认对方已实际接管控制权。等待停止状态完成总线切换的操作流程	
	驱动进入停止状态（LP-11）持续 LPX 的时间

初始发送方 = 最终接收方	初始接收方 = 最终发送方
观察总线状态转为停止状态（LP-11），将其解读为转向完成确认信号，切换至常规 LP 接收模式并等待对方进一步操作	

3.2 PPI 时序说明

3.2.1 PPI HS 收发时序

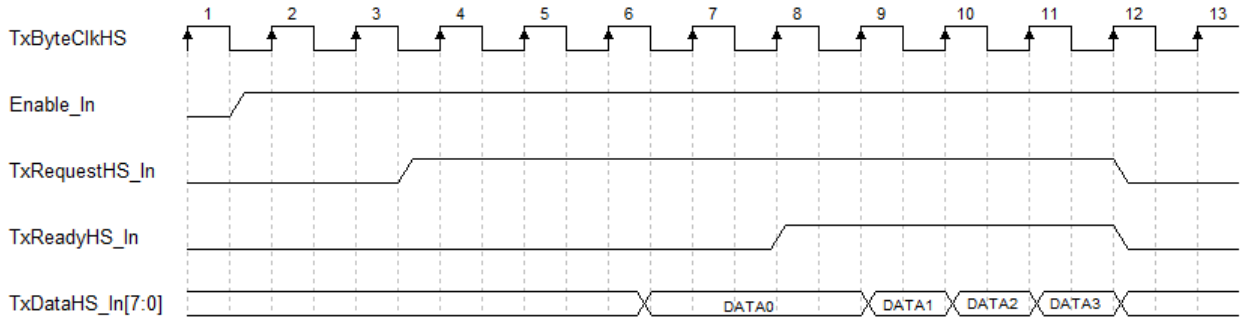


图 3-3 PPI HS TX 时序图

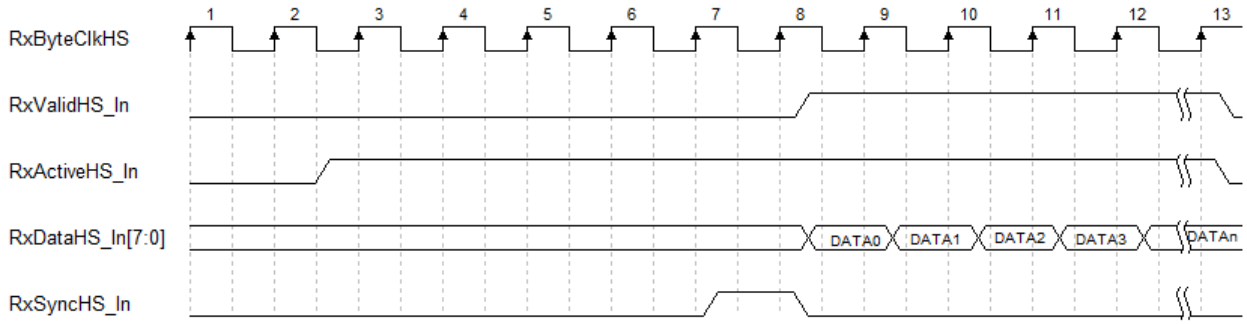


图 3-4 PPI HS RX 时序图

3.2.2 PPI LPDT 收发时序

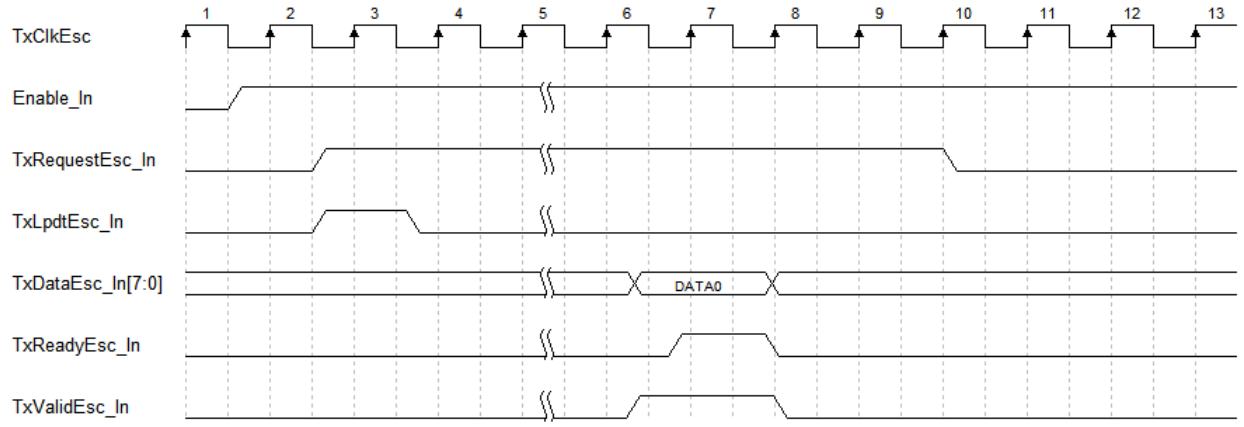


图 3-5 PPI LPDT TX 时序图

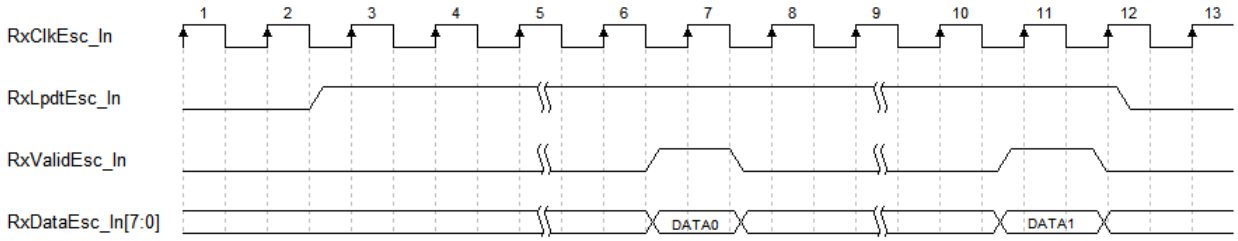


图 3-6 PPI LPDT RX 时序图

3.2.3 PPI BTA 时序

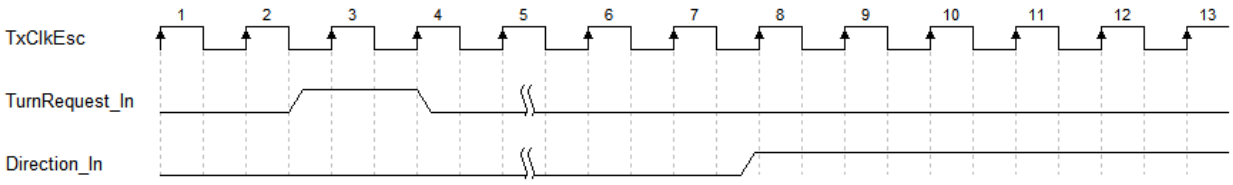


图 3-7 PPI BTA 时序图

3.3 时钟设计

信号	Gearing	时钟频率
PPI Interface (High speed mode)	1:1	~150Mhz @1.2Gbps DPHY (PPI clock = 1.2G / 8)

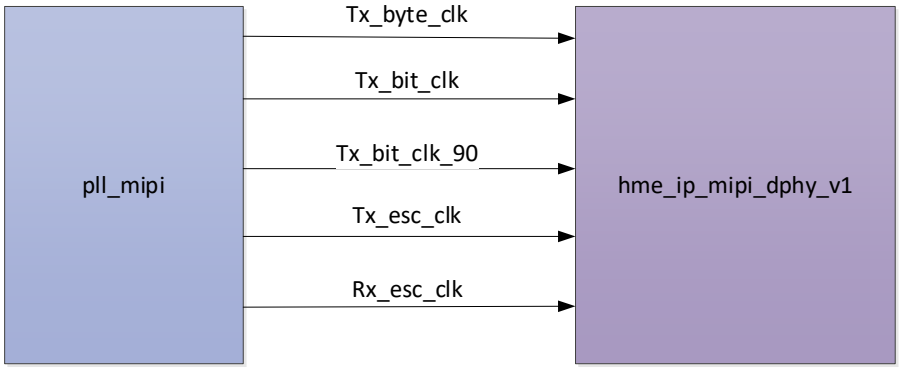


图 3-8 DPHY TX 用户时钟

MIPI D-PHY 作为 TX，需要外部提供如下时钟：

1. Tx_bit_clk：这是 MIPI 发送的串行时钟，该时钟频率为: MIPI Tx BitRate/2, 例如：MIPI 发送速率为 1Gbps, 则该时钟的频率为：1GHz/2 = 500MHz。

2. Tx_bit_clk_90：这是 MIPI 发送的串行时钟偏 90°，该时钟频率为: MIPI Tx BitRate/2, 例如：MIPI 发送速率为 1Gbps, 则该时钟的频率为：1GHz/2 = 500MHz。

3. Tx_byte_clk：这是 MIPI 发送的并行时钟，该时钟频率为: MIPI Tx BitRate/8, 例如：MIPI 发送速率为 1Gbps, 则该时钟的频率为：1GHz/8 =125MHz。

4. Tx_esc_clk 这是 MIPI 发送低速处理时钟，通常采用 16MHz(最高一般不超过 20MHz)。

5. Rx_esc_clk 建议采用 50MHz 或 60MHz, 该时钟用于采样输入的 MIPI 低速信号，所以应该至少要高于输入的低速信号频率的 2 倍。

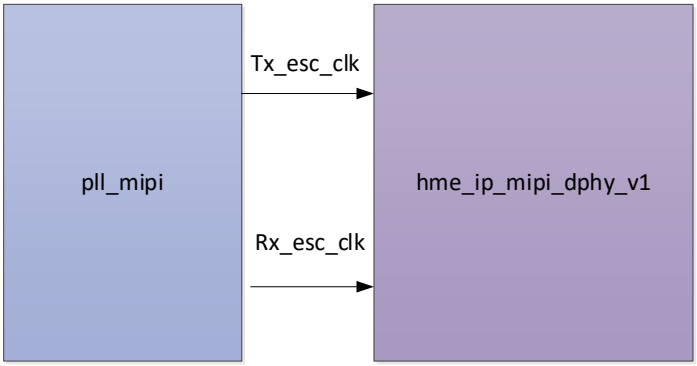


图 3-9 DPHY RX 用户时钟

MIPI D-PHY 作为 RX，需要外部提供如下时钟：

1. Tx_esc_clk 是 MIPI 发送低速处理时钟，通常采用 16MHz(最高一般不超过 20MHz)。

2. Rx_esc_clk 建议采用 50MHz 或 60MHz，该时钟用于采样输入的 MIPI 低速信号，所以应该至少要高于输入的低速信号频率的 2 倍。

3.4 DPHY IP 的生成

TBD

3.5 资源性能报告

3.5.1 资源报告

Soft MIPI DPHY TX 和 RX，会因为其器件不同，资源利用情况可能不同。

表 3-4 MIPI D-PHY TX 资源利用

器件系列	资源名称	资源利用
H7	LUT	550
	REG	467

表 3-5 MIPI D-PHY RX 资源利用

器件系列	资源名称	资源利用
H7	LUT	580
	REG	487

3.5.2 时序约束

MIPI D-PHY TX 的时序约束

```
create_clock -period 50 -name {tx_esc_clk} [get_pins {u_pll_mipi_pll_u0/CO0}]
create_clock -period 16.6667 -name {rx_esc_clk} [get_pins
{u_pll_mipi_pll_u0/CO2}]
create_clock -period 2 -name {tx_bit_clk} [get_pins {u_pll_mipi_pll_u0/CO3}]
create_clock -period 2 -name {tx_bit_clk_90} [get_pins {u_pll_mipi_pll_u0/CO4}]
create_clock -period 8 -name {tx_byte_clk} [get_pins {u_pll_mipi_pll_u0/CO5}]
```

MIPI D-PHY RX 的时序约束

```
create_clock -period 50 -name {tx_esc_clk} [get_pins {u_pll_mipi_pll_u0/CO0}]
create_clock -period 16.6667 -name {rx_esc_clk} [get_pins
{u_pll_mipi_pll_u0/CO2}]
create_clock -period 8 -name {rx_byte_clk} [get_pins
{u_dphy_rx_top_phy_wrapper_master_u_mipi_univ_analog_i_mipi_clock_u_lvds_tx_clk
_u_div/CLKOUT}]
```

3.5.3 性能报告

Soft MIPI DPHY TX 和 RX，会因为其器件不同，资源利用情况可能不同

表 3-6 MIPI D-PHY TX 性能报告

器件系列	时钟	性能
H7	tx_byte_clk	150Mhz

表 3-7 MIPI D-PHY RX 性能报告

器件系列	时钟	性能
H7	rx_byte_clk	150Mhz

4 仿真

1. IP 生成之后 sim 目录下有两个文件：
   - hme_ip_mipi_dphy_v1_tb.v 仿真顶层
   - hme_ip_mipi_dphy_v1.vp 控制器仿真模型
2. 然后在 UI 界面运行仿真。
3. 检查仿真结果。

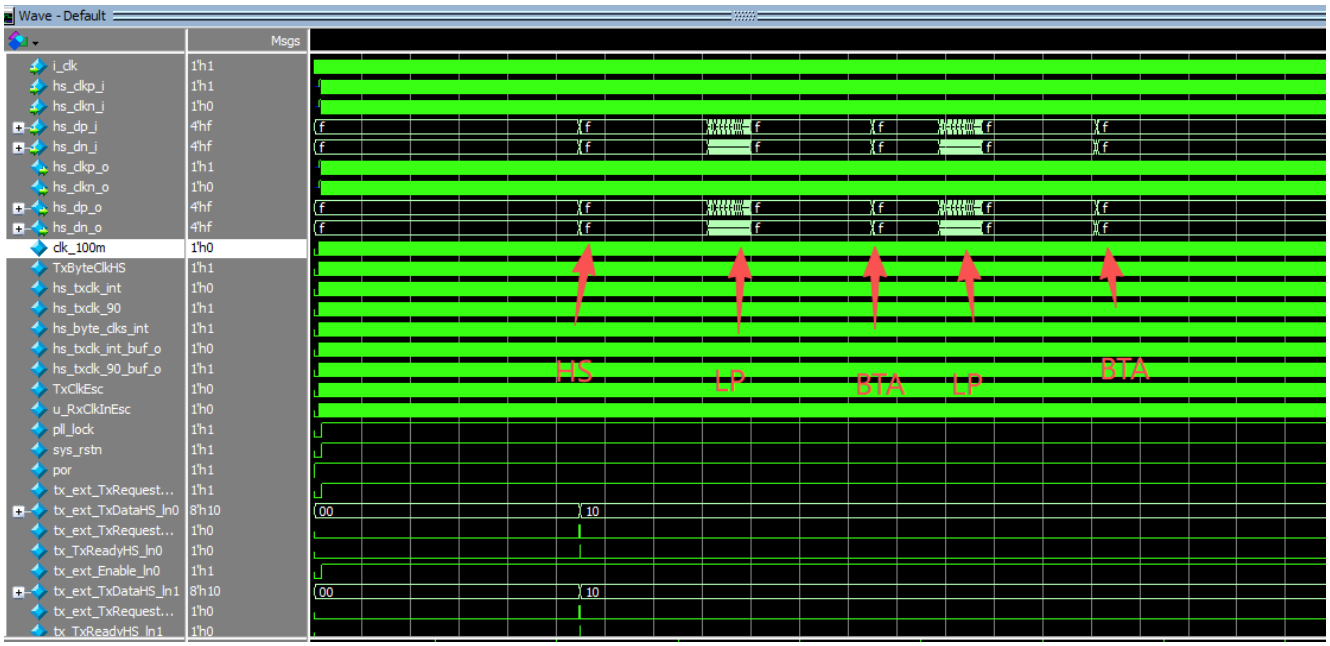


图 4-1 仿真波形

图中有 TX 的 HS，TX 的 LP，TX 的 BTA，RX 的 LP 以及 RX 的 BTA，可以看到各个信号的时序波形。

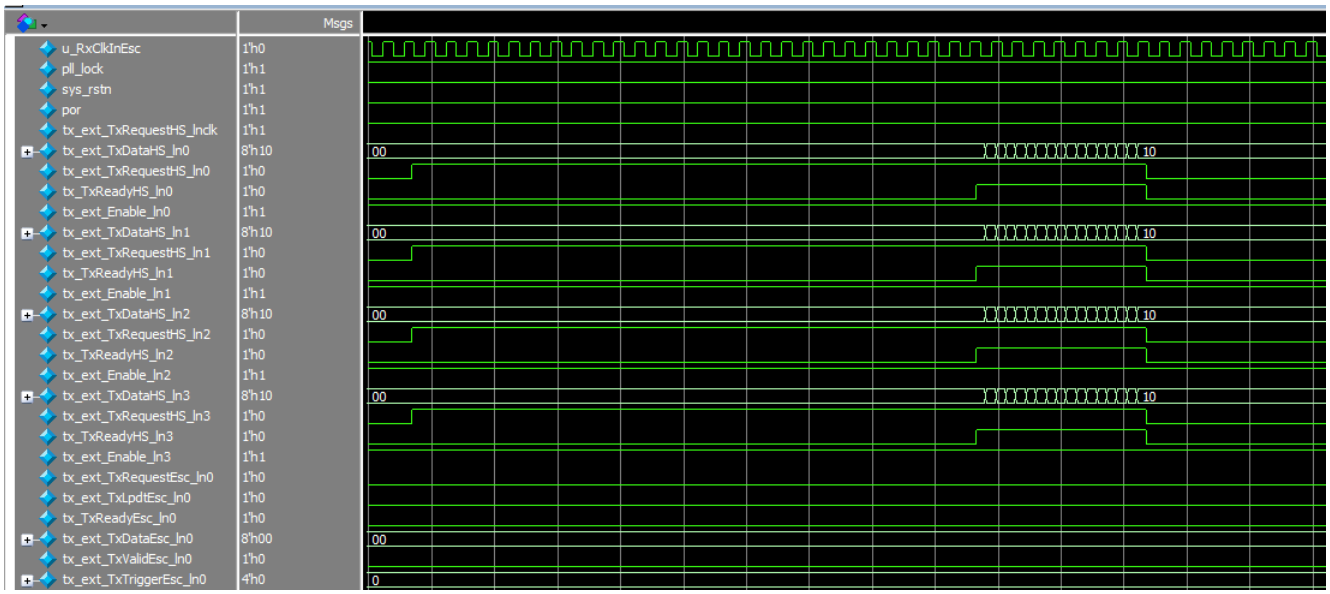


图 4-2 TX 的 HS PPI 接口

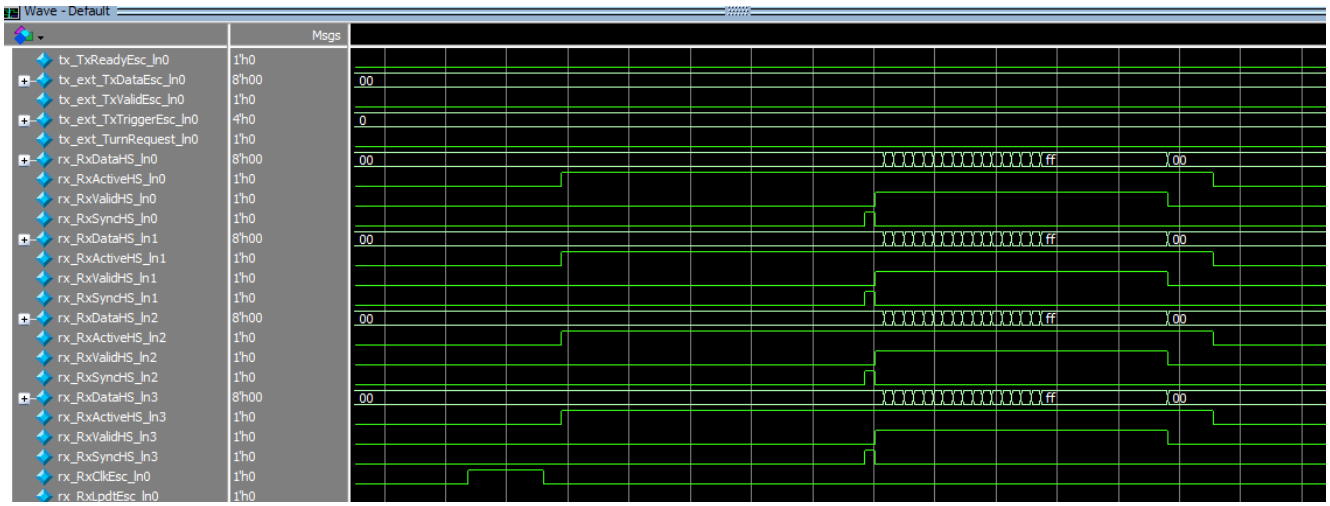


图 4-3 RX 的 HS PPI 接口

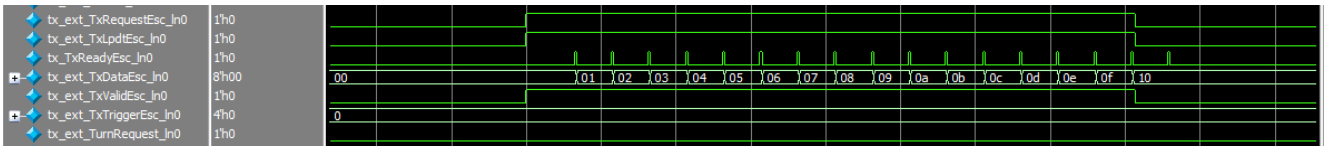


图 4-4 TX 的 LPDT PPI 接口

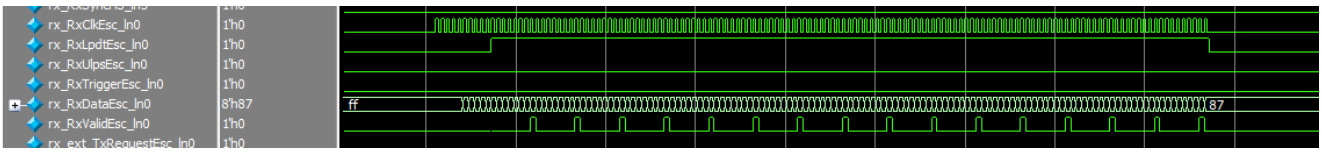


图 4-5 RX 的 LPDT PPI 接口