京微齐力
HERCULES MICROELECTRONICS

HME MIPI CSI-2 Controller

IP 用户手册

2026 年 09 月

京微齐力（北京）科技股份有限公司

注意

© 2026 京微齐力（北京）科技股份有限公司版权所有

未经京微齐力（北京）科技股份有限公司书面许可，不得以任何形式或方式，如电子、机械形式，包括影印、录音或其他数据储存和检索系统形式复制或转移此文档的任何部分，或将其翻译为其它任何语言或计算机语言。

所有商标均为京微齐力（北京）科技股份有限公司所有。

手册版本号

V1.0

联系我们

如果您在使用我们的产品过程中有任何疑问或问题，请与京微齐力（北京）科技股份有限公司或者您当地的代理商联系，或发送邮件至：sales@hercules-micro.com

环境保护

本产品中包含的某些物质可能会对环境或人体健康有害，为避免将有害物质释放到环境中或危害人体健康，建议采用适当的方法回收本产品，以确保大部分材料可正确地重复使用或回收。有关处理或回收的信息，请与当地权威机构联系。

声明

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微齐力（北京）科技股份有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议用户及时更新手册版本。

本手册介绍的产品并没有被授权用作为生命保障设备或系统中的关键部件。在此使用到的术语有如下定义：

1）生命保障设备或系统是满足以下条件的设备或系统，(a)被通过手术植入人体内或（b)用来保障或维持生命，当按照标签上的使用说明正确使用时，有理由认为其工作的中断将会给使用者带来巨大的伤害；

2）所谓关键部件是指生命保障设备或系统中满足以下条件的部件，即有理由认为该部件中断工作将会导致整个生命保障设备或系统中断工作，或者是影响到后者的安全性和有效性。

版本信息

下表列出了本产品手册的历史版本信息。

修订日期	版本号	修订内容
2026-09-20	V1.0	初版发布。

目录

注意 **1**

版本信息 **2**

目录 **3**

图片目录 4
表格目录 5

开始前准备 **6**

关于本手册 6
缩写 6

1 简介 **7**

1.1 特性 7
1.2 支持器件列表 7
1.3 内部框图 7

2 端口寄存器介绍 **9**

2.1 端口说明 9
2.2 MIPI CSI-2 参数描述 11
2.3 寄存器列表 11
2.4 寄存器定义 11

3 IP 核用法 **12**

3.1 时钟复位设计 12
3.2 MIPI CSI-2 协议 13
3.3 MIPI CSI-2 接口时序 14
3.4 IP 约束方法 17
3.4.1 时钟声明举例 17
3.4.2 跨时钟域处理 17
3.5 IP 核的生成 18
3.5.1 IP wizard 参数设计 18
3.6 资源性能报告 20
3.6.1 系统设计框图 20
3.6.2 资源报告 20
3.6.3 性能报告 21
3.7 使用问题汇总 21

4 文件结构说明 **22**

图片目录

图 1-1 MIPI CSI-2 发送控制器（TX）系统框图 8
图 1-2 MIPI CSI-2 接收控制器（RX）系统框图 8
图 3-1 复位结构框图 13
图 3-2 时钟结构框图 13
图 3-3 TX PPI 接口时序（1-Lane 模式） 14
图 3-4 TX PPI 接口时序（2-Lane 模式） 14
图 3-5 TX PPI 接口时序（4-Lane 模式） 15
图 3-6 TX 长包发送时序 15
图 3-7 TX 短包发送时序 15
图 3-8 RX PPI 接口接收时序（1-Lane 模式） 16
图 3-9 RX PPI 接口接收时序（2-Lane 模式） 16
图 3-10 RX PPI 接口接收时序（4-Lane 模式） 16
图 3-11 RX 短包接收时序 17
图 3-12 RX 长包接收时序 17
图 3-13 RX IP Wizard 第一页（Input Module Name） 18
图 3-14 TX IP Wizard 第一页（Input Module Name） 19
图 3-15 RX 参数页（Number for lanes=4） 19
图 3-16 TX 参数页（Number for lanes=4） 20
图 3-17 参考例程系统设计框图 20

表格目录

表 1-1 支持器件 7
表 2-1 MIPI CSI-2 TX 控制器端口说明 9
表 2-2 MIPI CSI-2 RX 控制器端口说明 9
表 2-3 MIPI CSI-2 参数描述 11
表 3-1 数据类型编码 13
表 4-1 文件结构 22

开始前准备

关于本手册

本文档介绍 MIPI CSI-2 控制器 IP 核的架构、接口、时序及使用方法，并提供设计流程、参考设计与文件结构，帮助您将该 IP 集成到自有设计中。

如需了解各系列产品的详细信息，请访问 http://www.hercules-micro.com。

如果您在使用过程中有任何疑问或者建议，请发送邮件至 support@hercules-micro.com。

缩写

缩写	全称	中文术语
CRC	**C**yclic **R**edundancy **C**heck	循环冗余校验
CSI	**C**amera **S**erial **I**nterface	相机串行接口
DI	**D**ata **I**dentifier	数据标识符
ECC	**E**rror **C**orrecting **C**ode	错误校正码
EMB	**E**mbedded **M**emory **B**lock	嵌入式存储块
FIFO	**F**irst **I**n **F**irst **O**ut	先进先出
FPGA	**F**ield **P**rogrammable **G**ate **A**rray	现场可编程门阵列
HS	**H**igh-**S**peed	高速
IP	**I**ntellectual **P**roperty	知识产权
LP	**L**ow-**P**ower	低功耗
LUT	**L**ook-**U**p **T**able	查找表
PF	**P**acket **F**ooter	包尾（长包负荷 CRC16 校验字段）
PHY	**Phy**sical Layer	物理层
PPI	**P**ort **P**hysical **I**nterface	端口物理接口
RX	**R**eceiver	接收端
TX	**T**ransmitter	发送端
VC	**V**irtual **C**hannel	虚拟通道
WC	**W**ord **C**ount	字计数

1 简介

MIPI CSI-2 控制器 IP 核是一款实现 MIPI CSI-2 协议层（像素到字节的打包与解包）功能的软核解决方案，专为高带宽图像传感器与处理器之间的高速串行数据传输设计。发送控制器负责将应用层图像数据打包为 MIPI CSI-2 数据包并发送，接收控制器负责从串行数据流中解析出图像数据，二者通过标准 PPI 接口与 D-PHY 物理层交互。

1.1 特性

- 实现 MIPI CSI-2 协议层，支持长包与短包的封装（发送）与解析（接收）
- 接口类型：
  - 物理层：对 D-PHY 采用标准 PPI（PHY Protocol Interface）接口
  - 应用侧：自定义命令与负荷并行接口，负荷数据总线 32-bit
  - 协议层：MIPI CSI-2 协议层（长/短包、ECC、CRC16-CCITT）
- 数据通道数可配置，支持1、2、4通道
- 发送端自动生成包头并附带 ECC 校验（纠1检2），负荷自动附加 CRC16校验
- 接收端自动完成包头识别、命令提取与负荷还原，跨时钟域安全交换
- 包头 ECC 校验错误与负荷 CRC 校验错误的错误标识输出
- 支持数据类型（协议）：RAW（6/7/8/10/12/14/16/20）、RGB（565/555/444/666/888）、YUV（YUV420/422）及用户自定义类型，可按客户需求扩展
- 工作频率最高可达235MHz
- 资源使用参考：
  - TX 控制器（1 / 2 / 4 Lane）： 522/505/478LUTS，728/726/724REG
  - RX 控制器（1 / 2 / 4 Lane）：105/130/191LUTS，186/221/302REG

1.2 支持器件列表

表 1-1 支持器件

FPGA 型号	描述
P2 系列	支持
H7 系列	支持

1.3 内部框图

发送控制器负责将应用层的命令和负荷数据封装为符合 MIPI CSI-2 协议的数据包，并通过 PPI 接口发送至 D-PHY。应用层发起包请求并给出 VC / 数据类型 / 字节数，控制器自动生成带 ECC 的包头、计算 CRC16、写入发送缓冲并按通道数分发至 PPI 接口。命令确认信号与最后一个负荷字的标记信号均为单拍脉冲，负荷传输使能在整个负荷传输期间保持有效。

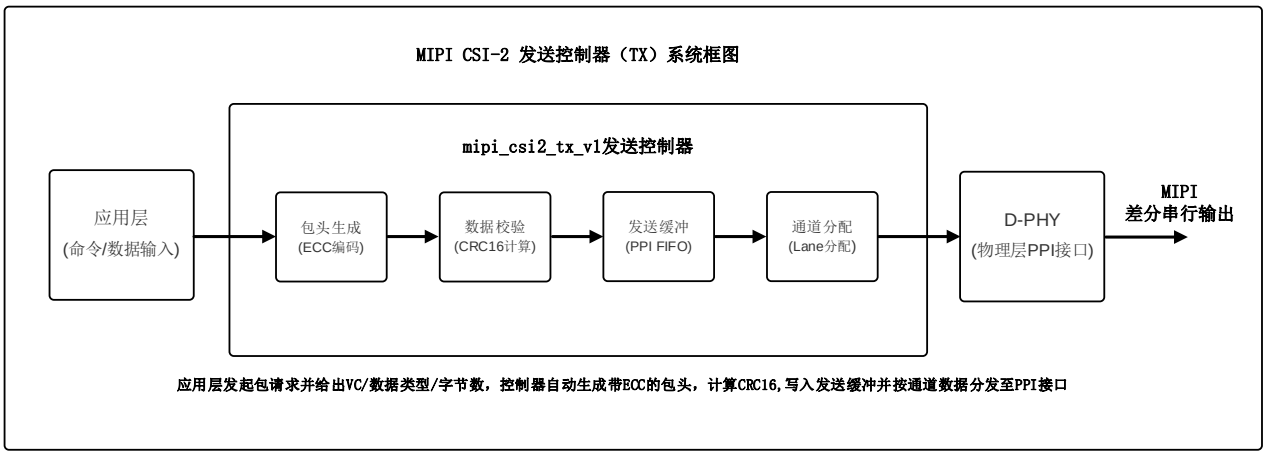

图 1-1 MIPI CSI-2 发送控制器（TX）系统框图

接收控制器负责从 D-PHY PPI 接口接收数据流，解析 MIPI CSI-2 包格式并提取命令和负荷数据。控制器对包头执行 ECC 校验（可纠正 1 位错误、检测 2 位错误），对长包负荷执行 CRC16 校验，并将字节流还原为 32-bit 并行数据输出至应用层，校验错误标识随数据一同输出。

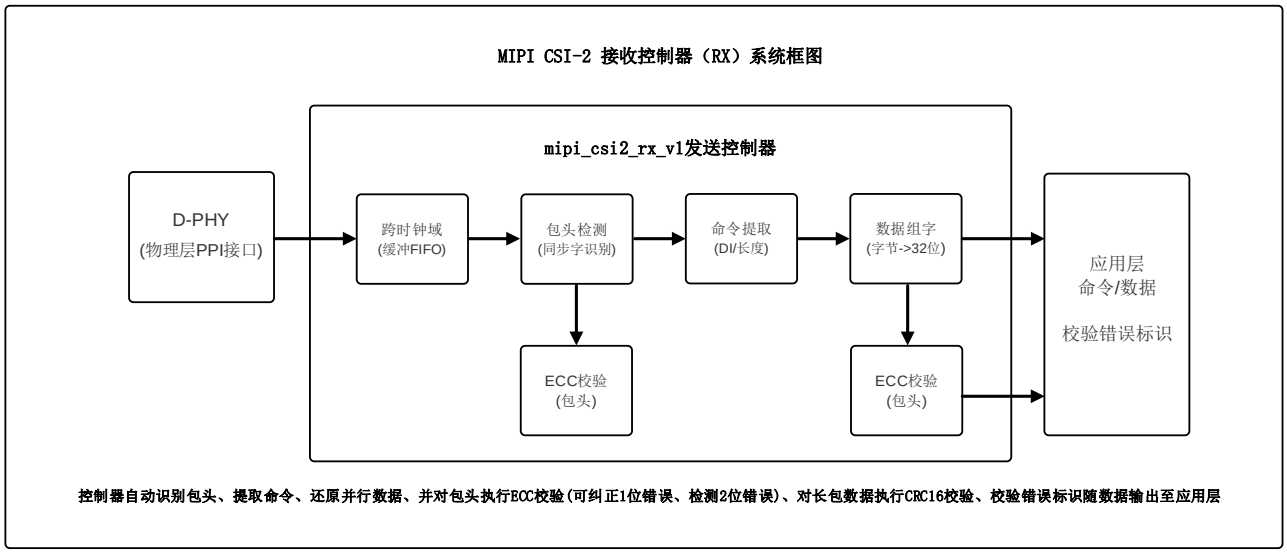

图 1-2 MIPI CSI-2 接收控制器（RX）系统框图

2 端口寄存器介绍

2.1 端口说明

表 2-1 MIPI CSI-2 TX 控制器端口说明

端口名称	类型	位宽	描述
reset_n	input	1	主复位，低电平有效
PPI（PHY Protocol Interface）接口			
TxByteClkHS	input	1	PPI 字节时钟，D-PHY HS 模式时钟
TxReadyHS_ln0	input	1	PPI Lane0 准备信号，表示 D-PHY 可接收数据
TxRequestHS_ln0	output	1	PPI Lane0 请求信号，表示控制器有数据待发送
TxDataHS_ln0[7:0]	output	8	PPI Lane0 发送数据总线
TxReadyHS_ln1	input	1	PPI Lane1 准备信号
TxRequestHS_ln1	output	1	PPI Lane1 请求信号
TxDataHS_ln1[7:0]	output	8	PPI Lane1 发送数据总线
TxReadyHS_ln2	input	1	PPI Lane2 准备信号
TxRequestHS_ln2	output	1	PPI Lane2 请求信号
TxDataHS_ln2[7:0]	output	8	PPI Lane2 发送数据总线
TxReadyHS_ln3	input	1	PPI Lane3 准备信号
TxRequestHS_ln3	output	1	PPI Lane3 请求信号
TxDataHS_ln3[7:0]	output	8	PPI Lane3 发送数据总线
自定义命令与负荷并行接口			
tx_cmd_req	input	1	应用层包发送请求信号，高有效时发起 MIPI CSI-2 包传输
tx_cmd_vc[1:0]	input	2	虚拟通道 ID，嵌入包头 DI 字段
tx_cmd_data_type[5:0]	input	6	MIPI CSI-2 数据类型码，嵌入包头 DI 字段
tx_cmd_byte_count[15:0]	input	16	包负荷字节数
tx_payload[31:0]	input	32	应用层负荷数据输入，32-bit 宽
tx_cmd_ack	output	1	包发送确认信号，表示当前包已被接收
tx_payload_en	output	1	负荷传输使能信号，表示控制器准备好接收负荷
tx_payload_en_last	output	1	最后一个负荷数据标记
csi_tx_esc_clk	input	1	时钟输入端口（ESC 模式）

表 2-2 MIPI CSI-2 RX 控制器端口说明

端口名称	类型	位宽	描述
reset_n	input	1	主复位，低电平有效
PPI（PHY Protocol Interface）接口			
RxByteClkHS	input	1	PPI 字节时钟，来自 D-PHY 的 HS 时钟
csi_rx_ctrl_clk	input	1	应用层时钟，作为跨时钟域 FIFO 的读时钟
RxActiveHS_ln0	input	1	PPI Lane0 HS 激活信号，1=活跃，0=空闲
RxSyncHS_ln0	input	1	PPI Lane0 同步信号，表示当前字节为同步序列
RxValidHS_ln0	input	1	PPI Lane0 数据有效信号
RxDataHS_ln0[7:0]	input	8	PPI Lane0 数据总线

端口名称	类型	位宽	描述
RxActiveHS_ln1	input	1	PPI Lane1 HS 激活信号，1=活跃，0=空闲
RxSyncHS_ln1	input	1	PPI Lane1 同步信号，表示当前字节为同步序列
RxValidHS_ln1	input	1	PPI Lane1 数据有效信号
RxDataHS_ln1[7:0]	input	8	PPI Lane1 数据总线
RxActiveHS_ln2	input	1	PPI Lane2 HS 激活信号，1=活跃，0=空闲
RxSyncHS_ln2	input	1	PPI Lane2 同步信号，表示当前字节为同步序列
RxValidHS_ln2	input	1	PPI Lane2 数据有效信号
RxDataHS_ln2[7:0]	input	8	PPI Lane2 数据总线
RxActiveHS_ln3	input	1	PPI Lane3 HS 激活信号，1=活跃，0=空闲
RxSyncHS_ln3	input	1	PPI Lane3 同步信号，表示当前字节为同步序列
RxValidHS_ln3	input	1	PPI Lane3 数据有效信号
RxDataHS_ln3[7:0]	input	8	PPI Lane3 数据总线
自定义命令与负荷并行接口			
rx_cmd_valid	output	1	包头有效信号，表示新 MIPI CSI-2 包开始
rx_cmd[23:0]	output	24	包头数据：[7:0]=DI（VC[7:6]+DataType[5:0]），[15:8]=WordCount_LSB，[23:16]=WordCount_MSB
rx_cmd_ecc[7:0]	output	8	ECC 校验字节，仅 4-Lane 模式输出（包头与 ECC 同拍到达时分离输出）；1/2-Lane 模式下该端口恒为 0
rx_payload[31:0]	output	32	32-bit 宽度负荷数据输出
rx_payload_valid	output	1	负荷数据有效信号
rx_payload_valid_last	output	1	包负荷最后一个 32-bit 数据标记
csi_tx_esc_clk	input	1	预留时钟输入端口（ESC 模式）
校验与调试接口（ECC/CRC 错误标识）			
ecc_one_bit_err	output	1	ECC 1 位错误指示：包头 ECC 校验检测到可纠正的 1 位错误时置位（硬件自动纠正后输出），出错位置由 ecc_one_bit_err_pos 给出
ecc_two_bit_err	output	1	ECC 2 位错误指示：包头 ECC 校验检测到不可纠正的 2 位错误时置位
ecc_one_bit_err_pos[4:0]	output	5	ECC 1 位错误位置：ecc_one_bit_err 置位时有效，指向包头（24-bit 数据＋8-bit ECC 共 32-bit）中出错 bit 的索引 0~31
ecc_err	output	1	ECC 错误总指示：发生任意 ECC 校验错误（1 位或 2 位）时置位
ecc_err_pos[4:0]	output	5	ECC 错误位置：ecc_err 置位时有效，给出出错 bit 在包头中的索引位置 0~31
crc_err	output	1	CRC 错误指示：长包负荷 CRC16-CCITT 校验结果与接收的 CRC 字段不一致时置位

2.2 MIPI CSI-2 参数描述

表 2-3 MIPI CSI-2 参数描述

参数	类型	范围	默认值	描述
Number for lanes	decimal	1,2,4	1	MIPI CSI-2 数据通道（Lane）数量，在 Fuxi IP Wizard 第二页配置，TX 与 RX 控制器均支持 1/2/4；生成后对应 RTL 参数 NUM_LANES。4-Lane 模式下 RX 额外输出包头 ECC 校验字节 rx_cmd_ecc[7:0]。

2.3 寄存器列表

本 IP 为纯 RTL 实现，不含寄存器配置接口，全部功能由端口信号与时序决定；可配置项（通道数）通过 IP Wizard 图形界面设置。

2.4 寄存器定义

本 IP 为纯 RTL 实现，不含寄存器配置接口，全部功能由端口信号与时序决定；可配置项（通道数）通过 IP Wizard 图形界面设置。

3 IP 核用法

3.1 时钟复位设计

本工程使用单 PLL 内部时钟方案，由片上 RC 振荡器 + Fuxi PLL IP 产生系统所需的全部时钟，不支持外部 PLL 输入模式切换。

- 时钟生成链：oscillator_v1 （片内 RC 振荡器）→pll_v1 → 5 路系统时钟
- PLL 输入：oscillator_v1 输出

PLL 输出：

- clkout0 esc_clk D-PHY TX 转义通道时钟，0°基准
- clkout1 esc_clk_rx D-PHY RX 转义通道时钟
- clkout2 TxBitClk TX 位时钟，0°
- clkout3 TxBitClk_90 TX 位时钟，90°相移（P3SEL=3'b100 配置）
- clkout4 TxByteClk TX 字节时钟，同时作为 MCU cpuclk 和 clk_periph

PLL IP 支持通过参数对各输出做静态相位调整。当前工程 clkout3 配置了 90° 相移以满足 D-PHY TX 的时钟偏移 90 度时序要求。

以下为时钟与复位设计示例：

发送侧由 D-PHY 提供的 PPI 字节时钟统一驱动；接收侧写/读两异步时钟域，数据交换由内部跨时钟域 FIFO 完成。复位采用低电平有效的主复位信号，建议异步复位、同步释放，复位释放前须保证相关时钟稳定。

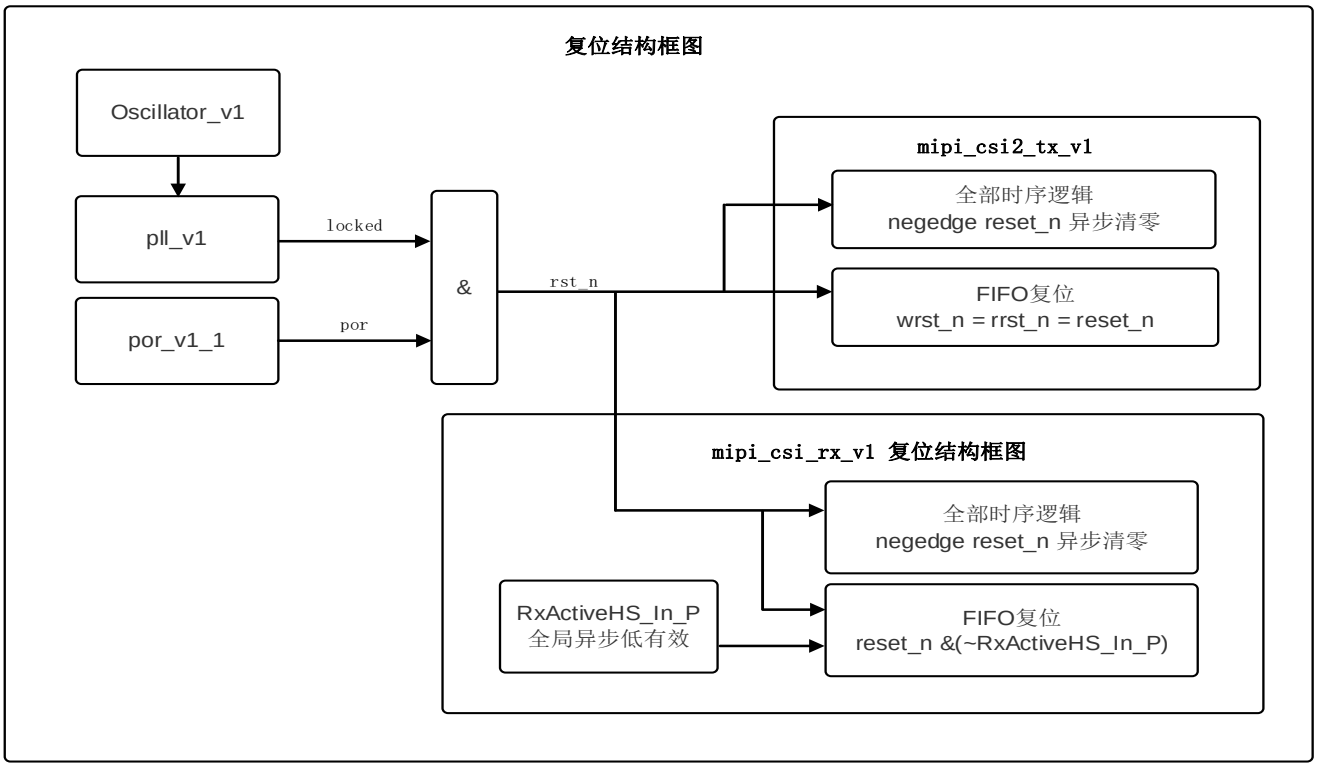

图 3-1 复位结构框图

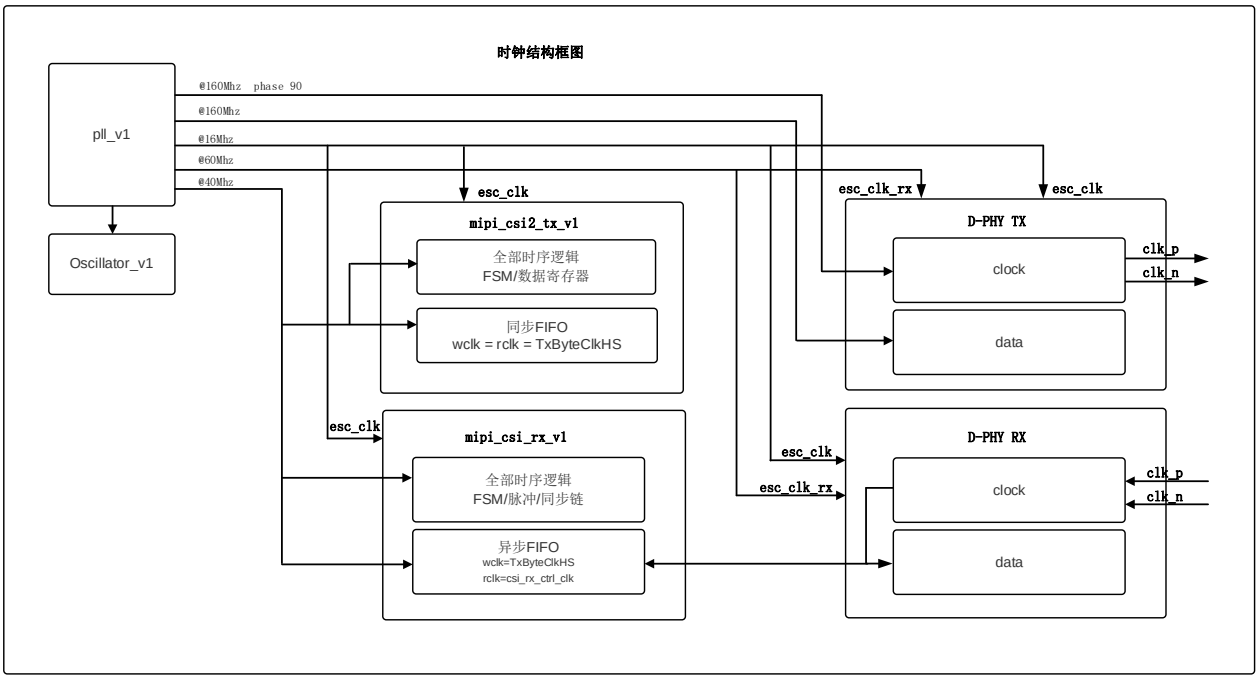

图 3-2 时钟结构框图

3.2 MIPI CSI-2 协议

MIPI CSI-2 定义短包与长包两类，包头由数据标识符（DI）、字节计数（Word Count）和 ECC 校验码组成。短包无负荷、无 CRC，用于帧/行同步；长包包头后跟随 WC 字节负荷，末尾附 16-bit CRC16-CCITT 校验。ECC 采用汉明码对 24-bit 包头编码生成 8-bit 校验，可纠 1 检 2；CRC16-CCITT 多项式 0x8408（正向 0x1021），初值 0xFFFF。

表 3-1 数据类型编码

数据类型	描述	类别
0x00	Frame Start（帧开始）	短包
0x01	Frame End（帧结束）	短包
0x02	Line Start（行开始）	短包
0x03	Line End（行结束）	短包
0x08~0x0F	通用短包（Generic Short Packet）	短包
0x10	空包（Null）	长包
0x11	消隐数据包（Blanking Data）	长包
0x12	嵌入式 8-bit 非图像数据（Embedded Data）	长包
0x1E	YUV422 8-bit	长包
0x22	RGB565	长包
0x2A	RAW8	长包（4 像素/字）
0x2B	RAW10	长包（4 像素/5 字节）
0x2C	RAW12	长包（2 像素/3 字节）
0x2D	RAW14	长包
0x2E	RAW16	长包

数据类型	描述	类别
0x30~0x37	用户自定义 8-bit 数据	长包

3.3 MIPI CSI-2 接口时序

PPI 接口时序以 Lane0 为例说明控制器与 D-PHY 之间的交互。TX 方向：FIFO 非空即拉高 TxRequestHS，D-PHY 以 TxReadyHS 应答；两者同时有效时 TxDataHS 按字节输出，D-PHY 反压期间数据保持。

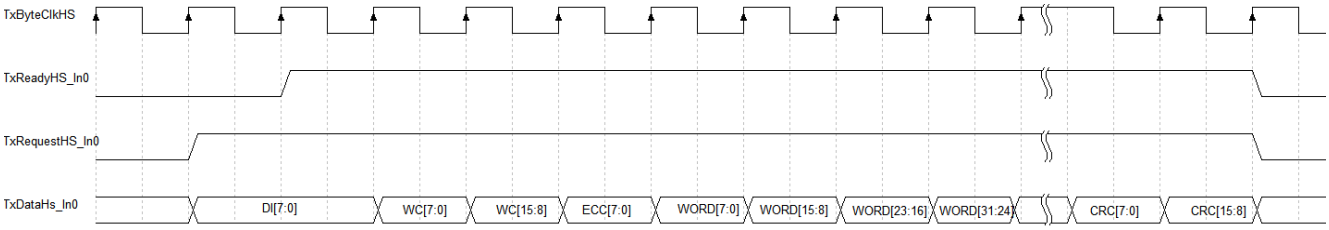

图 3-3 TX PPI 接口时序（1-Lane 模式）

2-Lane 模式下，包头与负荷字节按偶/奇交替分发至两条通道并行发送，同步序列仅出现在 Lane0。

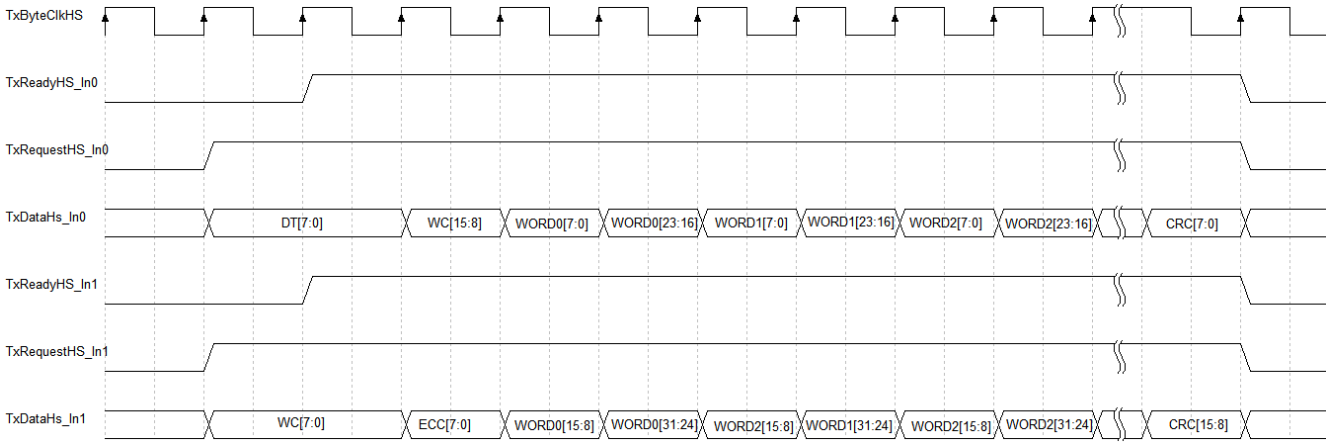

图 3-4 TX PPI 接口时序（2-Lane 模式）

4-Lane 模式下，每个发送缓冲直接对应一条通道，包头与负荷每周期 4 字节并行分发至四条通道发送。

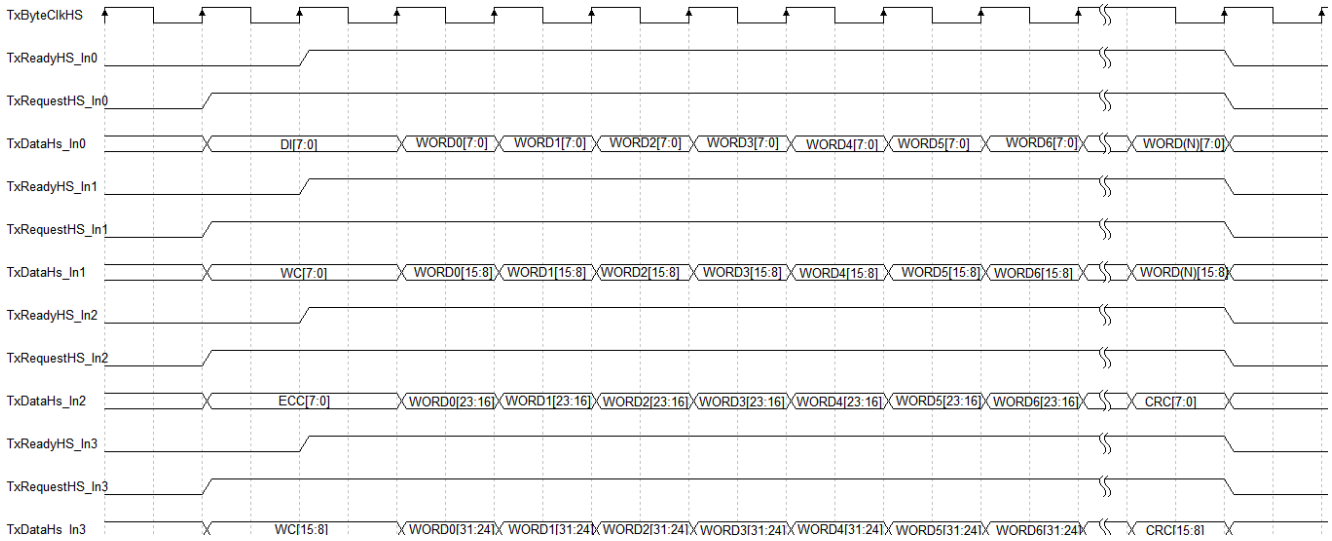

图 3-5 TX PPI 接口时序（4-Lane 模式）

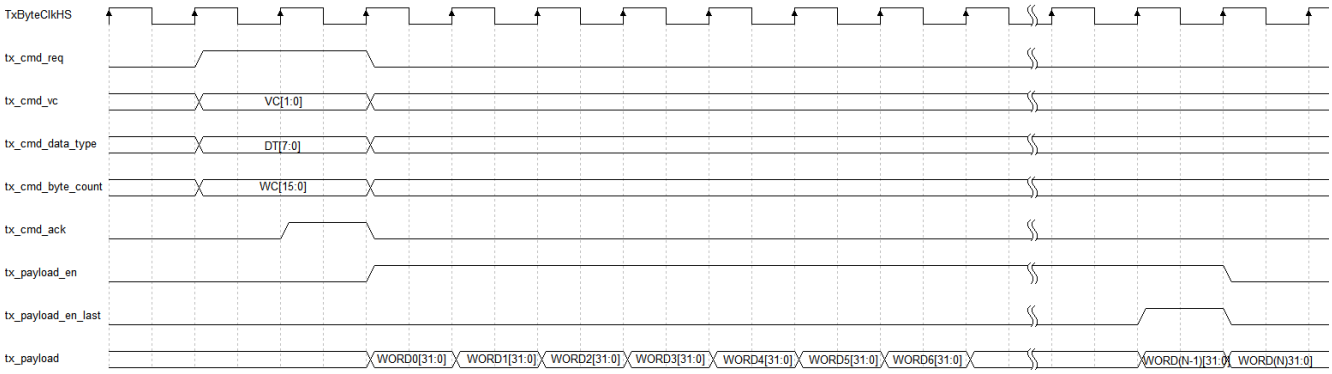

图 3-6 TX 长包发送时序

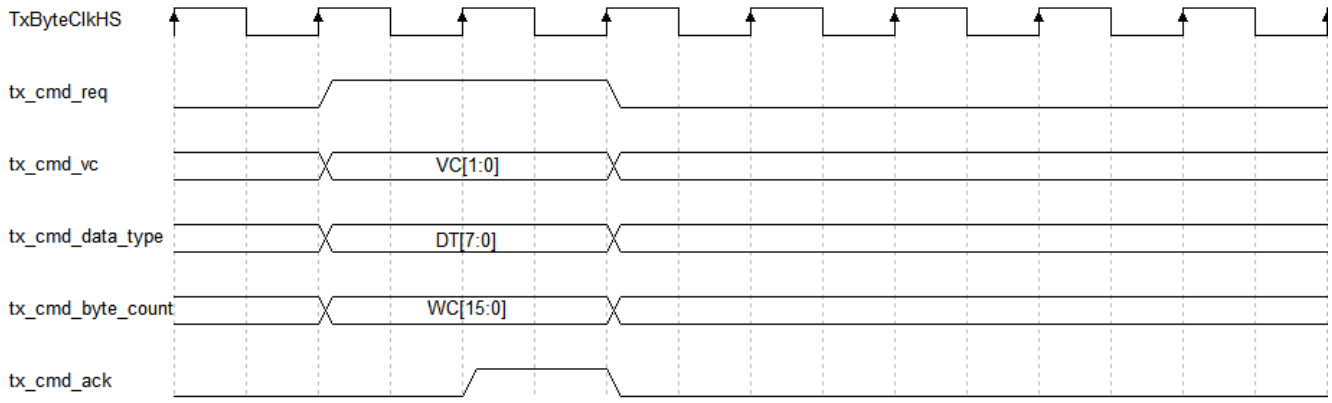

图 3-7 TX 短包发送时序

单 Lane 模式下：2-Lane 模式每周期 1 字节，包头 4 个读取周期收齐（DT+WC_L、WC_H+ECC）；

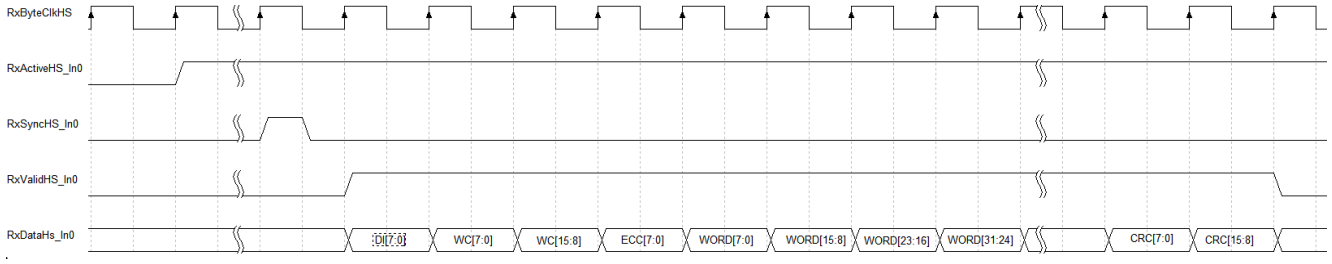

图 3-8 RX PPI 接口接收时序（1-Lane 模式）

多 Lane 模式下各 Lane 并行承载字节流：2-Lane 模式每周期 2 字节（Lane0 偶数字节、Lane1 奇数字节），包头 2 个读取周期收齐（DT+WC_L、WC_H+ECC）；4-Lane 模式每周期 4 字节，包头 1 个读取周期收齐（DI、WC_L、WC_H、ECC 各占一个 Lane），且 ECC 字节可由 rx_cmd_ecc 单独输出。不同 Lane 数下负荷均按 32-bit 组字输出，2/4-Lane 时序如下图所示。注：rx_cmd_ecc 仅在 4-Lane 模式下输出有效值，1/2-Lane 模式下恒为 0。

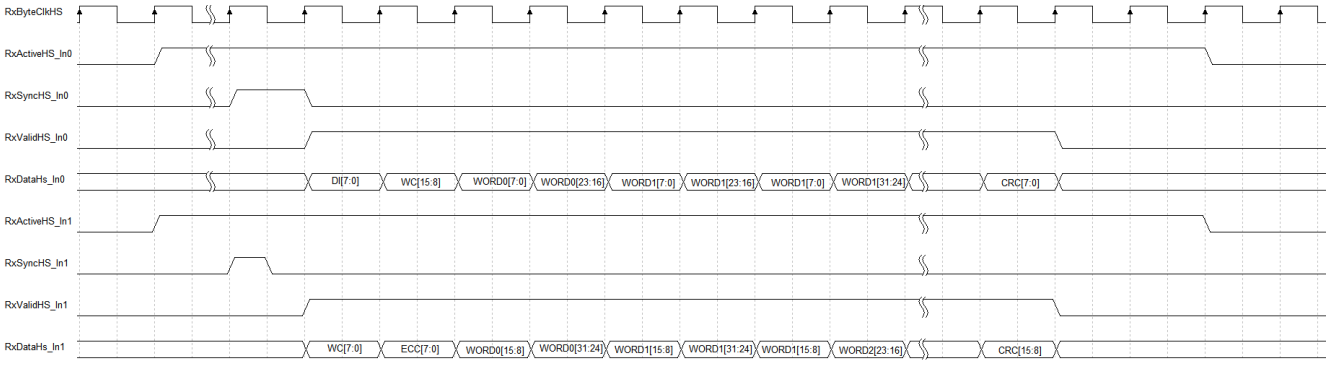

图 3-9 RX PPI 接口接收时序（2-Lane 模式）

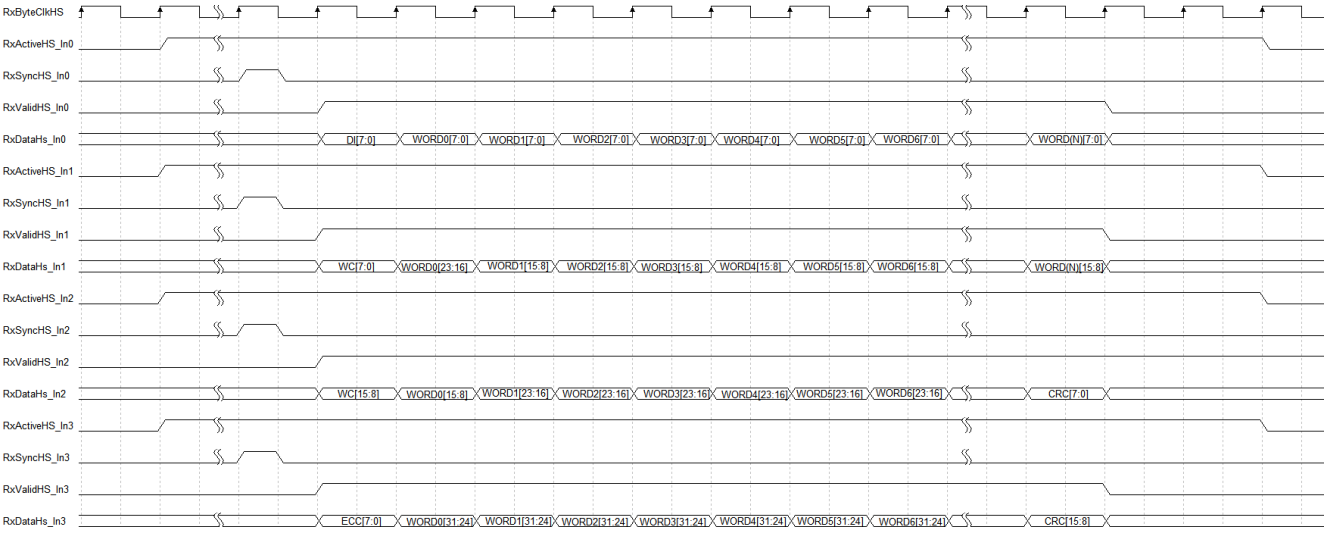

图 3-10 RX PPI 接口接收时序（4-Lane 模式）

包接收时序如下图所示：控制器接收完包头后输出单拍 rx_cmd_valid 脉冲及 rx_cmd 包头信息；短包无负荷，rx_payload_valid 与 rx_payload_valid_last 保持无效；长包后续接收负荷，rx_payload_valid 在负荷传输期间有效，rx_payload_valid_last 在负荷最后一拍置有效。

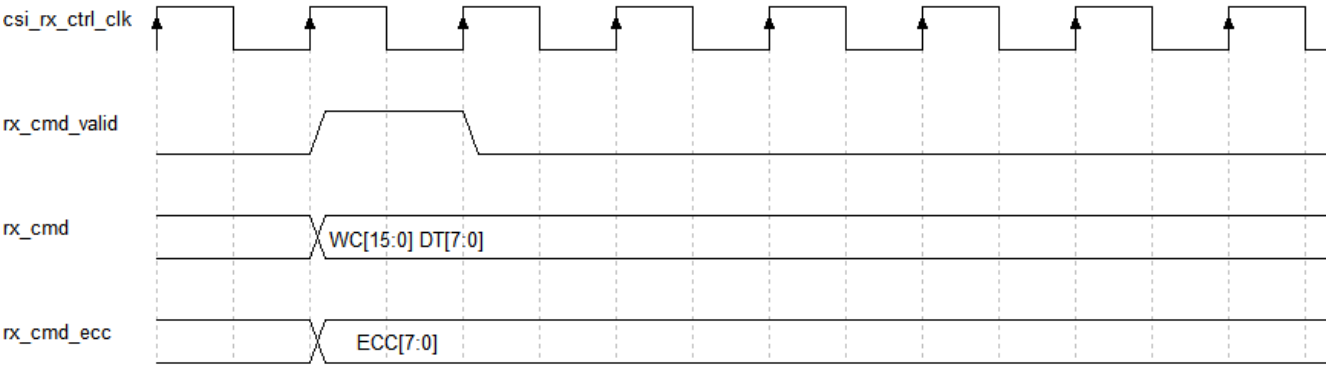

图 3-11 RX 短包接收时序

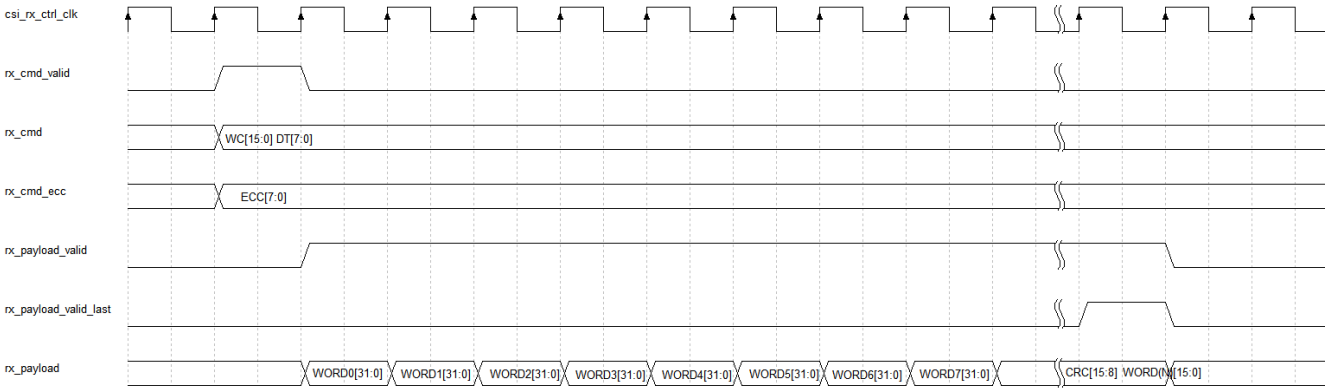

图 3-12 RX 长包接收时序

3.4 IP 约束方法

3.4.1 时钟声明举例

注：以下时钟声明摘自参考工程，仅作示例。输入时钟与 PLL 各输出（CO0~CO4）的周期均取决于具体设计；用户必须根据实际线速率与 PHY 参考时钟重新计算各时钟周期，不可直接复制示例约束。

```
create_clock -period 12.5 -name {clkin_25m} [get_pins {u_osc/OSC}]

create_clock -period 62.5 -name {u_pll_pll_u0/CO0} [get_pins {u_pll_pll_u0/CO0}]

create_clock -period 16.6667 -name {u_pll_pll_u0/CO1} [get_pins {u_pll_pll_u0/CO1}]

create_clock -period 2.5 -name {u_pll_pll_u0/CO2} [get_pins {u_pll_pll_u0/CO2}]

create_clock -period 2.5 -name {u_pll_pll_u0/CO3} [get_pins {u_pll_pll_u0/CO3}]
```

3.4.2 跨时钟域处理

```
set_false_path -from [get_clocks {clkin_25m}] -to [get_clocks {u_mipi_tx_u_mipi2/clk}]

set_false_path -from [get_clocks {u_mipi_tx_u_mipi2/clk}] -to [get_clocks {clkin_25m}]

set_false_path -from [get_clocks {clkin_25m}] -to [get_clocks {u_pll_pll_u0/CO0}]

set_false_path -from [get_clocks {u_pll_pll_u0/CO0}] -to [get_clocks {clkin_25m}]

set_false_path -from [get_clocks {u_pll_pll_u0/CO0}] -to [get_clocks {u_pll_pll_u0/CO1}]

set_false_path -from [get_clocks {u_pll_pll_u0/CO1}] -to [get_clocks {u_pll_pll_u0/CO0}]
```

注：以上 false path 约束同为示例。跨时钟域路径须按实际设计的时钟域关系设置，示例中的时钟名与模块层级路径（如 u_pll_pll_u0/CO0、u_mipi_tx_u_mipi2/clk）随工程而变，用户应结合自身工程修改。

3.5 IP 核的生成

3.5.1 IP wizard 参数设计

例程工程 ip_core 目录下的 MIPI CSI-2 发送/接收控制器由福晞软件（FX）的 IP Wizard 生成。若需调整通道数或更换模块名，可在工程视图的 IP 核条目上（或菜单 Tools → Wizard Manager）打开配置向导重新生成。IP Wizard 共两页。

第一页（Input Module Name）设置模块信息：模块名（默认与本 IP 的 RX / TX 控制器对应，可修改）、输出文件保存位置、生成语言（Verilog）与目标器件（如 P2L50N0V324-M0X1C7），并支持 Match project / default 沿用工程默认设置；此页左侧实时显示 IP 符号及全部端口。

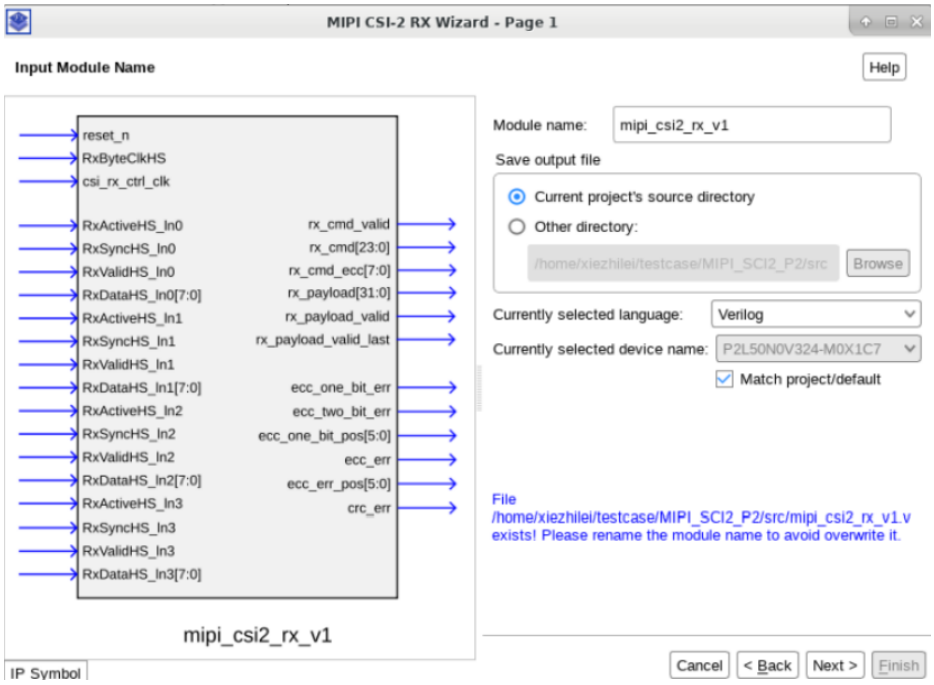

图 3-13 RX IP Wizard 第一页（Input Module Name）

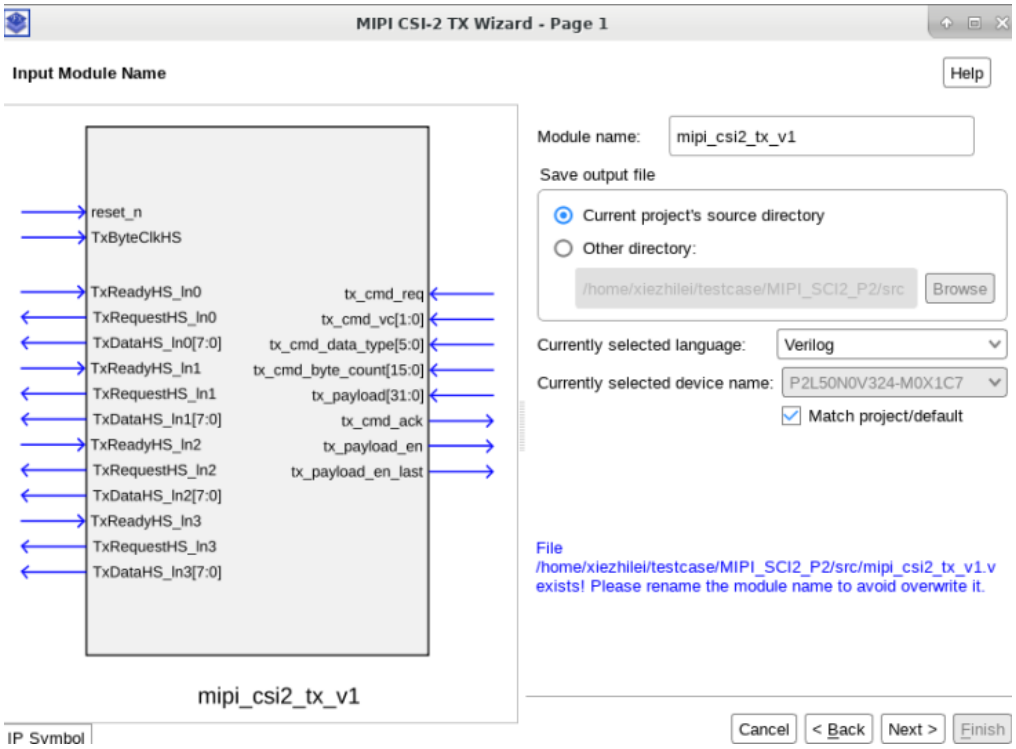

图 3-14 TX IP Wizard 第一页（Input Module Name）

第二页为参数页，仅提供 Number for lanes 一个配置项（即 NUM_LANES，TX 与 RX 均支持 1/2/4），左侧 IP 符号随参数实时更新端口数量；点击 Finish 后按所选参数生成顶层封装与源文件。例程默认使用 4-Lane 配置，若改为 1-Lane 或 2-Lane，需同步调整例程顶层中未使用 Lane 信号的悬空处理。

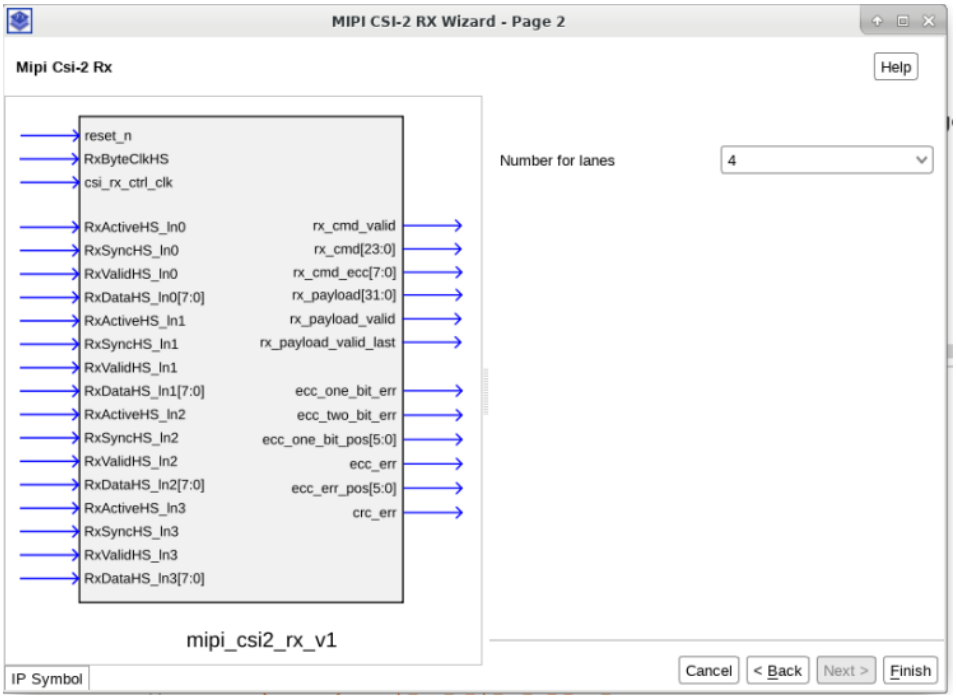

图 3-15 RX 参数页（Number for lanes=4）

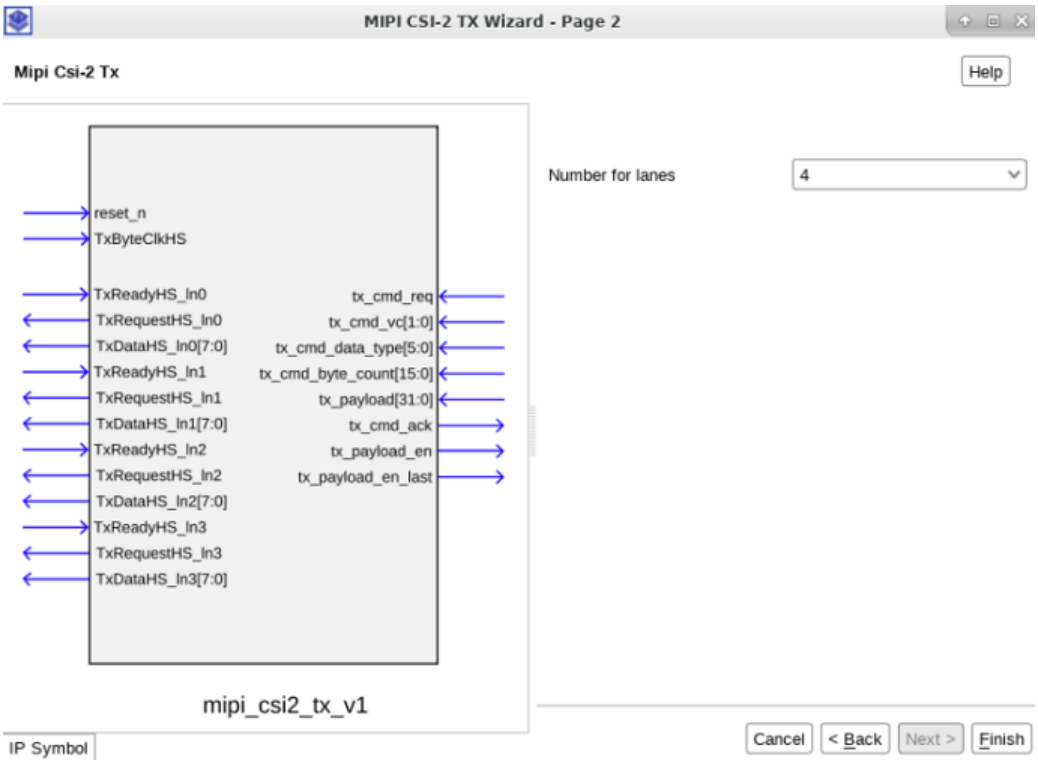

图 3-16 TX 参数页（Number for lanes=4）

3.6 资源性能报告

3.6.1 系统设计框图

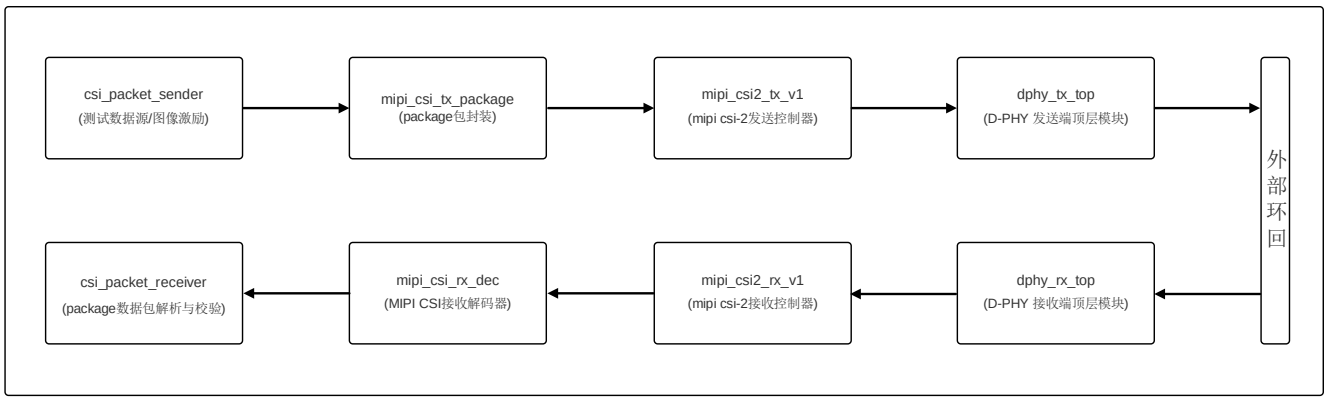

图 3-17 参考例程系统设计框图

3.6.2 资源报告

Working mode	LUT	REG	BRAM	PLL
TX 控制器（纯协议核，1/2/4 Lane）	522/505/478	728/726/724	-	-
RX 控制器（纯协议核，1/2/4 Lane）	105/130/191	186/221/302	-	-

3.6.3 性能报告

器件	FMAX
P2L50N0V324-M4H1C7	235 MHz

3.7 使用问题汇总

- 跨时钟域：RX FIFO 读写两独立时钟，复位释放前须确保两时钟稳定。
- 应用层带宽：MIPI 不允许 PPI 输出侧反压，tx_payload_en 有效期间须持续供数。

4 文件结构说明

MIPI CSI-2 IP 文件是由 wizard 自动生成的，主要包括：源文件（src）、相关文档。详情如下表所示。

表 4-1 文件结构

文件路径	描述
src 文件目录	
src/p2_h7	IP 核文件，用于综合
doc 文档目录	
doc/HME_MIPI_CSI-2_Controller_IP_User_Guide_CN.pdf doc/HME_MIPI_CSI-2_Controller_IP_User_Guide_EN.pdf	IP 使用文档