

Q1: M7 AS 模式下，下载线第一次可以下载配置文件到 M7 且配置成功，但后面 JTAG 检测不到 Device ID，也不能下载配置文件。这种情况怎么解决？

原因

M7 例化 Arm IP 时，fp2soc_rst_n 信号是用作 FP 逻辑复位 ARM 核。硬件在内部把这个信号连到了 ARM 系统复位和 JTAG 模块的复位端口上。当 FP 通过 fp2soc_rst_n 复位 ARM 的时候，同时也就复位了 JTAG 模块。若 M7 导致 fp2soc_rst_n 一直是低电平状态，就会出现 JTAG 检测不到 Device ID，也不能下载配置文件的情况。

可能导致这种情况的场景

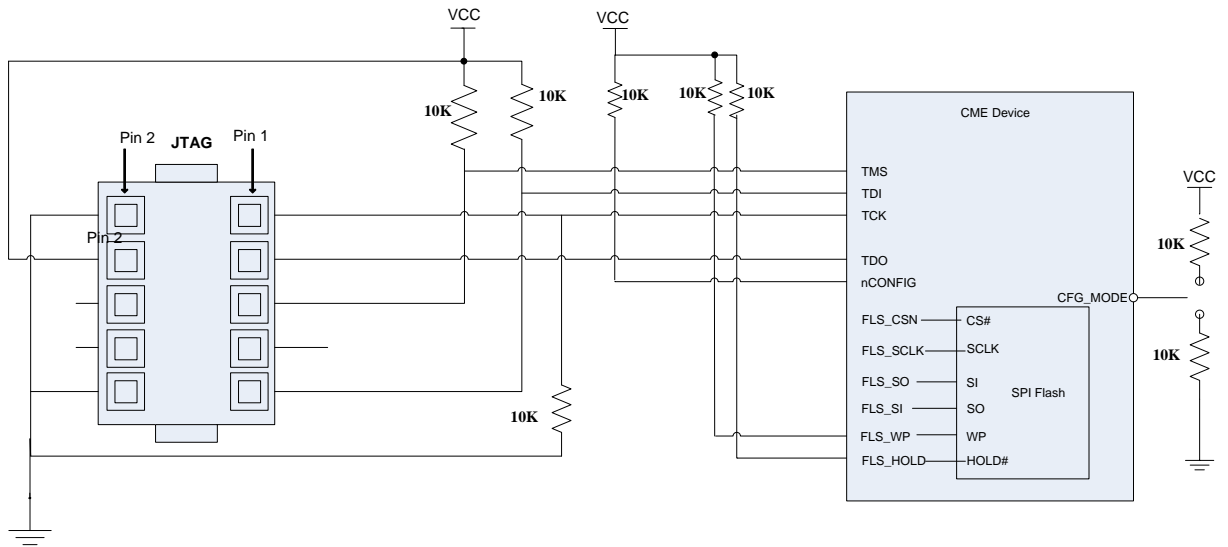
- 1). 用 PLL 的 lock 输出作 fp2soc_rst_n 的复位源。若 PLL 的时钟输入没有或其他原因导致 PLL 不能锁定，就会导致 fp2soc_rst_n 是复位状态，从而导致出现 JTAG 检测不到 Device ID，也不能下载配置文件的情况。
- 2). 外部 IO 信号作为 fp2soc_rst_n 的复位源。这种情况下，若是用户忘记分配这个 IO 复位信号，工具会优化掉相关逻辑，导致配置成功后，fp2soc_rst_n 信号是复位状态；或者用户分配了 IO，但连接这个 IO 的外部驱动是 0，也会使 fp2soc_rst_n 是复位状态。

先检查设计上是否有导致 fp2soc_rst_n 始终处于复位状态的情况并改正。

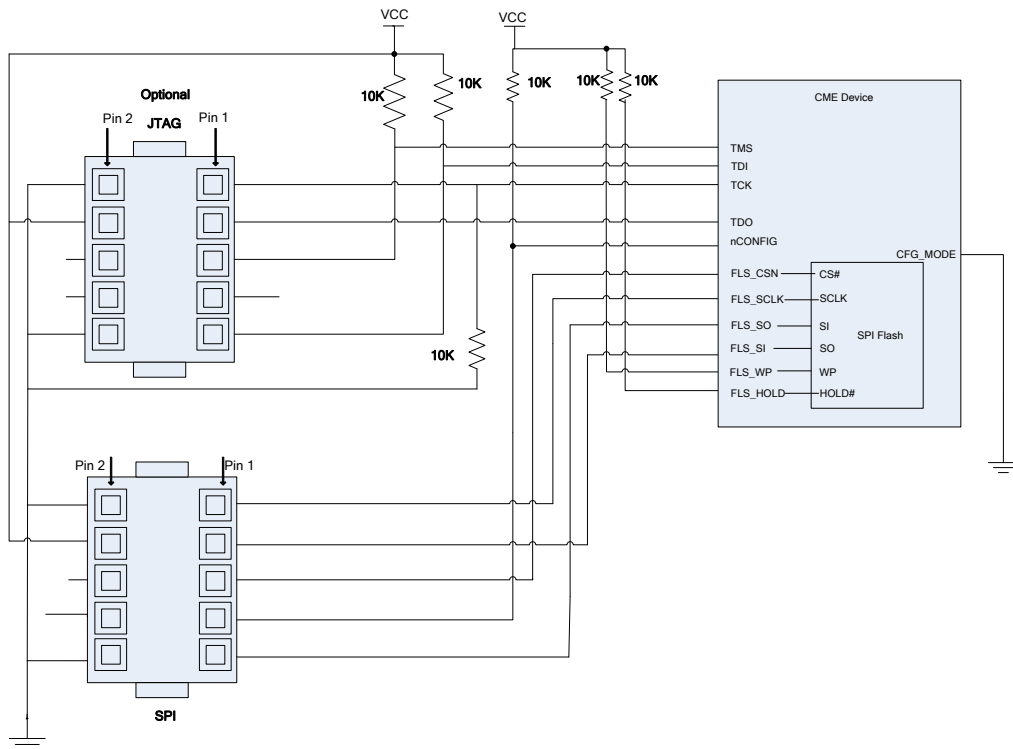
解决办法

- 1). Priamce7.2 以前的版本用本方法解决本问题。断电，M7 的 CFG_MODE 切换到高变成 PS 模式。再上电，用 JTAG download 正确的 bitstream 数据到 SPI Flash 中。断电后，切换 M7 的 CFG_MODE 为低变成 AS 模式。

配置如下图，设计 CFG_MODE,AS 模式和 PS 模式跳线切换。



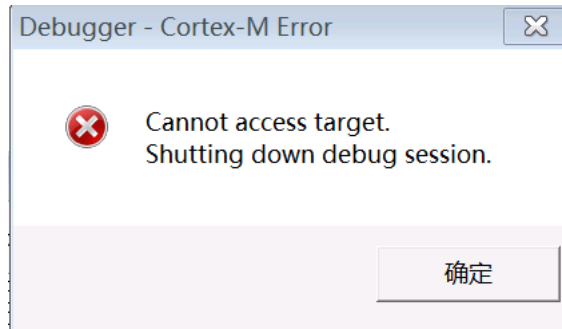
2).Cable 直接对 SPI Flash 编程。客户依照下图设计配置电路，内部绑定的需要相关 SPI 引脚如下图连接。Primace7.2 及以后版本支持 CME Cable 对 SPI Flash 直接编程，JTAG 接口是可选项。



Q3: ARM 在线调试的时候,程序执行到 SystemInit 函数中的 GLB_SelectSysClkSource (SYS_CLK_SEL_DLL)处停住了。

ARM 程序选择的系统时钟源与 Primace 设计中的系统时钟源不一致。系统时钟可以来自指定的 DLL2、外部 Xin, 内部 OSC 和其他时钟源。

Q4: ARM 在线调试的时候, 下载过程中弹出如下窗口, 怎么解决?



这很可能是 Keil 工程中的 Memory 窗口打开了, 且打开的区域不能访问, 比如访问的 0XA0000000 地址, 但是 FP 里没有扩展这个地址, 导致 Keil 读这个地址出现异常, 锁住了系统总线。在 Keil 的 *.uvopt 文件中有如下语句:

```
<MemoryWindow1>
  <Mm>
  <WinNumber>1</WinNumber>
  <SubType>0</SubType>
  <ItemText>0xa0000000</ItemText>
  </Mm>
</MemoryWindow1>
```

关闭 Keil 工程, 删掉这些语句并保存。再打开工程, 就能正常在线调试。

Q5: 有上电顺序要求, 内核电压先于 VDD33 达到门限值。

Q6: LQFP144、LQFP216 和 LQFP256 封装的 M7 芯片连接 DDR2/3 颗粒, 两层板是否能 Layout?
能。

Q7: IO42_NMI_2 这个脚悬空或接高会有什么结果?

会导致 ARM 程序一直进入 NMI 中断复位程序。不用做 ARM NMI 中断源, 需把该 Pin 下拉。

Q8: ADC 的 VREF 可以悬空吗?

ADC 的 VREF 悬空表示 ADC 用内部的 reference。

Q9: M7 上的接口如 RTC_XIN, XSCI, XSCO 等没有用到的输入信号悬空对设计有没有影响?

无影响

Q10: XIN,XOUT,RTC_XIN,RTC_XOUT 是否都处于 BANK11, BANK11 作为 LVDS 配置的时候供电 2.5V, 会对这些信号有什么影响?

对这些信号没有影响。

Q11: 关于 USB: 必须使用 XSCI, XSCO 为 USB 提供时钟吗? 用 M7 的全局时钟网络是否可行?

USB 的时钟既可以使用外部的晶体通过 XSCI, XSCO 提供的时钟, 也可以使用 M7 的全局时钟, 需要在 Primace 工程中给 USB 提供时钟, 同时对应 USB 的时钟选择寄存器要配置相应的值。

Q12: 关于以太网: 参考设计中为 M88E1111 提供 GTX_CLK 时钟的有多个, 是否可以直接由 IO_06P_ETH_PHY_GTX_CLK_O_4 提供?

可以用 IO_06P_ETH_PHY_GTX_CLK_O_4。

Q13: DDR 的 PLL 是否需要指定使用某个特定 CMB:

ARM wizard 在指定 DDR 的时候, 已经把 pll 和 DLL 固定到特定的位置上, 不能手工修改位置。

Q14: 手册上说 M7 内嵌 FLASH 的时候只能用使用 AS 和 JTAG 配置模式, 没有 PS 模式的情况下怎么用外部控制器配置 M7? 如果内部的 FLASH 用于 AS 配置, 是否意味着 FLASH 不能同时用于 ARM? AS 配置 M7 需要占用内部 FLASH 多少容量?

没有 PS 模式的情况下, JTAG 可以操作 SPI Flash, ARM 也可以操作 SPI Flash。AS 的 M7 只用 128K 的 SRAM 做 code 的话, 大约 4Mb, 8Mb 够用。但 ddr 中跑 code 的话, 那就不够。若是不够, 在设计的时候用外部的 EVM 存 ARM 的 code。

Q15: M7 的 SPI 接口是可以配置成 Master or Slave mode?

M7 的 SPI 只支持 Master 模式不支持 slave 模式。

Q16: 有没有 M7 上 SPI Flash 读写控制和 SPI 接口控制的相关代码。

在 M7 的 FLASH demo 程序中有 SPI Flash 读写控制程序，SPI 中有 SPI 接口的相关代码。这些代码会放到 Primace example 目录下。

Q17: 配置输出文件 bin, PS, JTAG, SPI, Hex 各种格式有什么区别？

Bin 文件是二进制格式的 CME 配置文件，包含了注释和纯配置数据；PS 是 PS 模式下的 16 进制的以 Byte 为单位的 CME 配置文件，包含了注释和纯配置数据；SPI 是 AS 模式下的 16 进制的以 Byte 为单位的 CME 配置文件，包含了注释和纯配置数据；文件是 Hex 格式的 CME 配置文件，为纯配置数据。

Q18: 在 SPI 配置 FLASH 中 FPGA 的配置数据和 ARM 的程序段和数据段是如何存放的？如果我想用配置 FPGA 的 SPI FLASH 的话应该如何用？我怎么保证在后续操作 SPI Flash 过程中不会对 FPGA 的配置数据造成影响？客户想知道我们的配置文件最大有多大，这样便于确定哪个地址开始可以作为自己的存储空间。

用 Cable 下载的时候，GUI 上的 Console 输出会显示 M7 的 Image 占用的大小。用户可以根据这些信息来规划自己的存储空间。

Q19: SPI controller 和 SPI interface 等 IP 核能在芯片发布的时候一块发布吗？Fuxi 软件里是灰色的，无法使用。

M7 中的 SPI Flash 用法与 M5 不同，无 SPI interface 的接口。用户只需通过 ARM 的程序控制就行。实例代码见 FLASH demo。

Q20: ADC 的外部基准是 1.0V，从客户端反馈来看，1.0V 的基准不好买，能买到的也是 1.024V 的电压基准芯片（售价在 2-3\$左右），价格较贵，是否我们的 ADC 可以支持 1.25V 的基准，或者是否有低成本的 1.0V 基准芯片推荐？

A: 可以用 1.024V 的电压基准芯片，不支持 1.25V 的电压基准。

Q21: 从目前的测试来看（请参考 CME_M7_DDR_Training 培训文档），FPGA 在 160MHz 下访问 DDR3 的实际性能是 280MB/s（写），180MB/s（读）。M7 Datasheet 中 DDR 的性能标称 666Mbps*16bit（即：1,332MB/s），就算是除去命令的开销，性能也应该要达到 1GB/s 以上才正常。如何解决这个问题？

A: FPGA AHB Master 的时序最大大约为 160MHz，因此最大带宽为 480MB/s。DDR 控制器最大 burst 是 8，每次 burst 完成后，DDR controller 要重发相关 DDR 操作时序；FPGA AHB Master 与系统的 AHB 总线是通过异步桥通讯，每次重新交互需要消

耗不少时钟周期。上述原因导致 FPGA 在 160MHz 下访问 DDR3 的实际性能是 280MB/s (写), 180MB/s (读)。

Q22: M7 是否有上电时序要求?

A: 无

Q23: ARM Cortex-M3 是否支持 SDRAM 作为 Code Memory 以及性能如何?

A: 支持。

Q24: M7 以太网是否支持 RMII 和 RGMII 接口? 如果支持, 如何支持?

A: 不支持。

Q25: M7 是否支持 4 线 SPI Flash 作为配置芯片? 如果支持, 如何支持?

A: 不支持。